

**Generador de sots de tensió
programable d'estructura
Back to Back per l'assaig de
convertidors de freqüència**

Annexos

**Autor: Quim López Mestre
Director: Joan Bergas Jané
Abril 2005**

Sumari Annex

SUMARI ANNEX	1
A. ELS IGBT	5
A.1. Característica estàtica	7
A.2. Característica dinàmica	9
B. TENSIONS HOMOPOLARS	11
C. SVPWM	13
C.1. introducció	13
C.2. El mètode	13
C.3. Límit en l'SVPWM	17
C.4. Implementació del SVPWM	18
D. ESTUDI I COMPARATIVA D'AMPLIFICADORS OPERACIONALS PER ELS ADC	22
D.1. Metodologia per triar el filtre RC de l'ADC	29
D.1.1. Tria del condensador C_{FLT}	30
D.1.2. Tria de la resistència R_{FLT}	31
D.1.3. Tria de l'amplificador operacional	32
E. ASSAIGS I PROVES DE CURTCIRCUIT DELS DRIVERS SQIM	34
F. ESTRUCTURA DE POTÈNCIA BACK – TO – BACK	40
F.1. IGBT	41
F.2. Bus de contínua	42
F.3. Filtre d'entrada PFT	44
F.4. Filtres de potència	44
F.5. Sondees	46
F.5.1. Sonda de corrent	46
F.5.2. Sonda de tensió	47
F.5.3. La font	48
F.5.4. Sistema de control	49
G. BANCADA D'ASSAJOS	52
G.1. Bancada de motors	53
G.2. Convertidor de càrrega	54



G.3.	Resistència de frenat.....	55
G.4.	Transductor de parell.....	56
G.5.	Sistema d'adquisició i banc d'assajos.....	57
G.5.1.	Banc d'assajos.....	58
H.	RECULL DE SOTS DE TENSIÓ REALS	60
I.	EL DSP	64
I.1.	Microcontroladors i DSP	64
I.2.	DSP TMS320F2812	66
I.2.1.	Introducció	66
I.2.2.	Arquitectura.....	67
I.2.3.	La memòria	68
I.2.4.	La CPU.....	68
J.	VALORACIÓ ECONÒMICA	70
J.1.	Cost del prototip	70
J.1.1.	Drivers	70
J.1.2.	Placa de potència Megadeth	70
J.1.3.	Sondes de mesura.....	71
J.1.4.	Hardware de potència	71
J.1.5.	Cost total del prototip	71
J.2.	Cost d'investigació i desenvolupament	72
J.2.1.	Costos de suport informàtic.....	72
J.2.2.	Costos de personal	72
J.2.3.	Costos totals de desenvolupament i disseny	72
J.3.	Cost total del projecte.....	73
K.	ASSAIG DE SOTS	75
K.1.	Corbes de susceptibilitat	75
K.1.1.	Corba de susceptibilitat energètica.....	75
K.1.2.	Corba de susceptibilitat del control.....	76
K.2.	Variables d'assaig.....	76
K.2.1.	Tipus de sot	77
K.2.2.	Càrrega	77
K.2.3.	Velocitat en l'instant del sot	77
K.2.4.	Inèrcia de la càrrega.....	78
K.2.5.	Programació de les funcions ride – through del convertidor	78



K.3.	Variables de mesura	78
K.4.	Equip generador de sots de tensió	79
K.5.	Banc d'assaigs	79
K.6.	Procediment d'assaig	81
K.6.1.	Estudi previ del convertidor	81
K.6.2.	Connexió del convertidor a la bancada d'assaigs.....	82
K.6.3.	Programació del convertidor	82
K.6.4.	Verificar el banc d'assaigs.....	83
K.6.5.	Determinació de la corba de susceptibilitat energètica	83
K.6.6.	Determinació de la corba de susceptibilitat del control	84
K.7.	Informe de l'assaig	85
K.8.	Referències	86
L.	ESQUEMES ELÈCTRICS	87
L.1.	Back to Back.....	88
L.2.	Drivers	91
L.3.	Megadeath	94
M.	DOCUMENTACIÓ DIGITAL	104





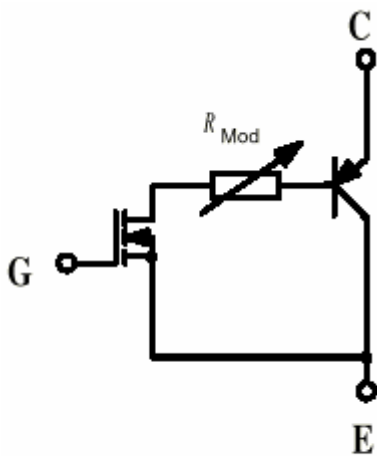
A. Els IGBT

IGBT és l'acrònim de Transistor Bipolar de Porta Aïllada. Incorpora les millors característiques dels diferents semiconductors existents integrant en una sola estructura monolítica la tecnologia MOSFET i la bipolar.

L'IGBT conjuga els avantatges del transistor bipolar en poder de bloqueig d'altres tensions i la baixa resistència de conducció que presenta, amb els del MOSFET en quant a freqüència de treball i el fàcil control en tensió de la porta. La tecnologia utilitzada per desenvolupar aquest semiconductor fan que apareguin una sèrie de desavantatges: la presència d'un tiristor paràsit que en determinades ocasions es pot enclavar provocant un curtcircuit. La presència de la part bipolar provoca una commutació d'obertura semblant a la del GTO, amb una corrent de cua que eleva les pèrdues de commutació i limita la freqüència màxima de funcionament.

L'IGBT té tres terminals: el col·lector pel qual entra el corrent, l'emissor per on sortirà el corrent i la porta que és on arribarà el senyal de control.

Els IGBTs es fabriquen amb la mateixa tecnologia que els circuits integrats, posant en paral·lel mil·lers de cel·les elementals cadascuna amb un transistor PNP controlat per un MOSFET. L'esquema equivalent es pot mostrar a continuació:



Es pot veure que amb aquesta configuració el bipolar suporta tota la tensió i es pot posar un MOSFET de baixa tensió amb una baixa resistència en conducció.

El control es fa a través del MOSFET que alimenta la base del transistor bipolar aportant ràpidament la corrent necessària perquè el darrer tanqui. El corrent de potència circula pel bipolar que presenta una baixa caiguda de tensió en saturació. A més, com que el PNP està dissenyat per suportar altes tensions el seu guany en corrent serà molt petit i, en conseqüència, el corrent que circula pel MOSFET serà comparable al del bipolar.



El bloqueig es fa retirant la tensió de control de la porta: el MOSFET es bloqueja ràpidament en contra del bipolar, que al ser més lent li queda la base a l'aire dificultant el bloqueig d'aquest darrer que s'ha de fer per la recombinació dels portadors minoritaris de la unió, i allargant per tant la duració de l'obertura.

Com que la base del PNP no és accessible exteriorment l'evacuació dels portadors minoritaris no es pot accelerar amb l'ajut del circuit de control de porta com es fa normalment amb els bipolars. Al fer-se la recombinació dels portadors minoritaris amb el corrent que va cap a l'emissor apareix la corrent de cua que caracteritza els IGBTs i que, a l'incrementar la freqüència de treball, incrementaran les pèrdues per commutació limitant doncs la freqüència màxima.

Si s'intenta disminuir el corrent de cua per disminuir les pèrdues de commutació es produeix un augment de la caiguda de tensió en conducció augmentant per tant, les pèrdues en aquesta fase. Per aquest motiu la majoria de fabricants ofereixen dues famílies d'IGBTs: els ràpids, amb un temps d'obertura més curt i petites corrents de cua per aplicacions de molt alta freqüència, i els d'alt rendiment, amb baixes pèrdues en conducció per treballar a freqüències inferiors.

Durant el bloqueig la base del PNP està a l'aire però activada pels portadors minoritaris fins que aquests es recombinin. En aquestes circumstàncies les fortes variacions de tensió provocades per la ràpida obertura del dispositiu i les inductàncies paràsites de la càrrega, generen corrents capacitives que poden reenclavar l'IGBT. Per evitar aquest reenclavament del transistor bipolar intern s'acostuma a polaritzar negativament la porta durant l'obertura.

La secció transversal de la pastilla de silici d'un IGBT és com la d'un MOSFET a la que se li ha afegit un substrat P^+ convertint-la en un dispositiu de quatre capes. Aquesta estructura presenta un tiristor paràsit format per dos transistors bipolars: un NPN i un PNP. L'activació del transistor NPN comporta el dispar de la configuració tiristor que no pot ser controlada per la porta, portant a la destrucció tèrmica de l'IGBT.

Per evitar aquest dispar intempestiu es desabilitza el transistor paràsit NPN reduïnt-ne el guany i curtcircuitant la seva unió base-emissor amb una resistència. De totes maneres l'IGBT

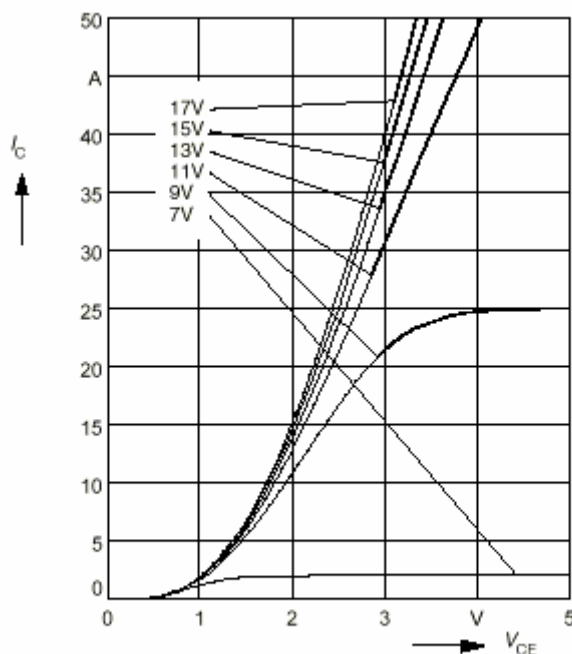


queda limitat en corrent, ja que el tiristor paràsit es pot cebar quan el corrent es faci superior al seu llindar d'enclavament.

També és necessari limitar les variacions brusques de la tensió (dV/dt) en borns de l'IGBT perquè, igual com amb els tiristors normals, l'estructura paràsit es pot enclavar per les corrents capacitives que es produeixen entre les diferents capes del dispositiu.

A.1. Característica estàtica

L'IGBT suporta una tensió inversa d'uns pocs volts i no existeix en la seva estructura el díode paràsit en antiparal·lel del MOSFET. La seva característica estàtica ideal és doncs la d'un interruptor en dos semieixos: bloqueja únicament tensions directes i condueix corrent en sentit directe.



Com que en la majoria d'aplicacions on s'usen IGBTs és necessari el pas de corrent en sentit invers, els fabricants venen els IGBTs en mòduls que porten integrat un díode en antiparal·lel. Al ser aquest díode un afegit, el fabricant pot triar les característiques d'aquest per ser les més apropiades per l'aplicació.

La característica estàtica real de l'IGBT presenta una tensió llindar d'uns 0.7V per mantenir-lo en conducció, semblant a la d'un díode



ja que correspon a la caiguda a la unió PN de la base de l'emissor del transistor bipolar intern. L'altra component té una característica resistiva corresponent a la caiguda al MOSFET de baixa tensió de control de la porta.

La caiguda de tensió en conducció és independent de la tensió màxima que pot bloquejar, i és, en canvi, fortament depenent dels temps de commutació. En els IGBTs d'alt rendiment aquesta caiguda de tensió és d'uns 3V, mentre que en els ràpids augmenta fins als 4 o 5V.

Com que l'IGBT és la combinació d'una unió amb un coeficient de temperatura negatiu i d'una zona resistiva amb un coeficient positiu, la relació entre la caiguda de tensió en conducció amb la temperatura depèn del corrent que circuli. El coeficient de temperatura passa d'un valor negatiu preponderant del transistor bipolar a un valor resistiu preponderant del MOSFET si la densitat de corrent augmenta. Aquest coeficient positiu degut al MOSFET és el que permetrà en muntatge en paral·lel de varis IGBTs.

En aplicar una tensió positiva al terminal de porta l'IGBT es tanca i el corrent circula entre el col·lector i l'emissor. El corrent en sentit invers no és possible i es fa a través del díode en antiparal·lel que s'afegeix.

Amb un corrent constant al col·lector la tensió col·lector-emissor V_{CE} disminueix si s'augmenta la tensió de porta V_{GE} fins que V_{CE} arriba al seu valor de saturació mínim. Aquest valor multiplicat pel de la corrent al col·lector donarà les mínimes pèrdues possibles en conducció de l'IGBT.



A.2. Característica dinàmica

Els temps de commutació d'un IGBT estan relacionats amb la tensió de porta V_{GE} juntament amb les capacitats internes i les inductàncies paràsites del propi dispositiu, així com de la resistència interna de la font de tensió de control. És desitjable una petita impedància interna d'aquesta font per carregar i descarregar les capacitats ràpidament i reduir els transitoris causats per la inductància del circuit de la porta.

Un temps de tancament molt petit provoca un pic molt alt al díode en antiparal·lel que apareix en l'IGBT com un pic addicional en el corrent del col·lector. Un temps de bloqueig molt ràpid provoca també un pic de tensió provocat per les inductàncies paràsites. Caldrà doncs un compromís de velocitat per escollir la resistència de la porta.

En qualsevol cas és importantíssim disminuir al màxim les inductàncies paràsites a la porta, ja que combinat amb les capacitats paràsites internes de l'IGBT pot provocar oscil·lacions en la tensió d'aquesta. Per la mateixa raó la connexió de l'emissor per establir la tensió de control ha d'estar separada de la de l'emissor principal, per on passarà el corrent.

Perquè l'IGBT es posi en conducció, s'aplica una tensió positiva a la porta V_{GE} que, a causa de la resistència interna de la font de tensió i la capacitat interna entre la porta i l'emissor, puja lentament. Quan aquesta tensió supera el valor llindar el corrent pel col·lector comença a pujar. El temps que passa entre que V_{GE} arriba al 10% del seu valor final fins que el corrent arriba també al 10% del seu valor final s'anomena temps de retràs ($t_{d(on)}$).

El temps de pujada (t_r) es defineix com el temps que triga el corrent en passar d'un 10% al 90% del seu valor final. En aquest interval és on es produeixen la major part de les pèrdues per tancament i cal minimitzar-lo ajustant la resistència de la porta.



El temps de tancament és la suma dels temps de retràs i el de pujada. El pic de corrent que és degut, com ja s'ha dit anteriorment, al pic de recuperació inversa del díode. També s'haurà de tenir en compte aquest pic al calcular les pèrdues de commutació.

Per obrir l'interruptor s'aplica una tensió negativa a la porta per evitar petits tancaments de l'IGBT provocats pels corrents capacitius a conseqüència de les capacitats paràsites internes durant l'obertura.

Apareix un temps de retràs ($t_{d(off)}$) des de l'instant que la tensió de porta baixa per sota el 90% del valor inicial fins que el corrent de col·lector baixa en un 90% també del valor inicial. El temps de baixada (t_f) és el que triga en baixar el corrent desde el 90% al 10% del valor inicial.

El temps d'obertura (t_{off}) és la suma d'aquests dos temps.

El valor i el temps de la cua de corrent són propis de cada IGBT, però també depenen de les condicions de treball.

Per disminuir les pèrdues durant l'obertura és desitjable una pendent de baixada pronunciada, però aquesta ràpida disminució provocarà un pic de tensió entre col·lector i emissor provocat per les inductàncies paràsites del circuit principal.

Per minimitzar aquest pic s'han posat condensadors de polsos de molt baixa inductància interna entre col·lector i emissor, procurant una distribució totalment simètrica i el més propers a l'IGBT possible. A més s'han connectat els condensadors amb pletina plana de coure per evitar la inductància paràsita dels cables.

Finalment, els temps d'obertura i tancament de l'IGBT s'han de tenir en compte alhora de posar els temps morts del PWM ja que si s'actua alhora sobre dos IGBTs d'una mateixa branca, com que el temps de tancament és menor que el d'obertura es produiria un curtcircuit.



B. Tensions homopolars

D'acord amb el teorema de Fortescue tres fasors no equilibrats d'un sistema trifàsic poden descomposar-se amb tres sistemes equilibrats de fasors. Els tres sistemes equilibrats de fasors son:

- Components de seqüència directa, que consisteix amb tres fasors d'igual magnitud desplaçats un de l'altre en 120° i que tenen la mateixa seqüència de fase que els fasors originals.
- Components de seqüència inversa, que consisteix amb tres fasors iguals en magnitud desplaçats l'un de l'altre en 120° i que tenen una seqüència de fases oposada a la dels fasors originals.
- Components de seqüència homopolar que consisteix amb tres fasors iguals en magnitud i amb un desplaçament de fase zero l'un de l'altre.

Si s'anomena V^0 a la seqüència homopolar, V^1 a la seqüència directa, i V^2 a la seqüència inversa, tenint en compte que $a = 1_{\angle 120^\circ}$, s'obté que:

$$\begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{pmatrix} \begin{pmatrix} V_a^0 \\ V_a^1 \\ V_a^2 \end{pmatrix} = A \begin{pmatrix} V_a^0 \\ V_a^1 \\ V_a^2 \end{pmatrix}$$

$$V_a = V_a^0 + V_a^1 + V_a^2$$

$$V_b = V_a^0 + a^2 V_a^1 + a V_a^2$$

$$V_c = V_a^0 + a V_a^1 + a^2 V_a^2$$



$$\begin{aligned}
V_{ab} &= V_a - V_b = V_a^0 + V_a^1 + V_a^2 - (V_b^0 + V_b^1 + V_b^2) = \\
&= V_a^0 + V_a^1 + V_a^2 - (V_a^0 + a^2 V_a^1 + a V_a^2) = (1 - a^2) V_a^1 + (1 - a) V_a^2 \\
V_{bc} &= V_b - V_c = V_a^0 + a^2 V_a^1 + a V_a^2 - (V_a^0 + a V_a^1 + a^2 V_a^2) = \\
&= (a^2 - a) V_a^1 + (a - a^2) V_a^2 \\
V_{ca} &= V_c - V_a = V_a^0 + a V_a^1 + a^2 V_a^2 - (V_a^0 + V_a^1 + V_a^2) = \\
&= (a - 1) V_a^1 + (a^2 - 1) V_a^2
\end{aligned}$$

Es pot observar que a partir de tensions senzilles amb component homopolar al obtenir les tensions compostes el terme homopolar s'anul·la ja que és el mateix per a cadascuna de les tensions senzilles.

Així doncs es pot prescindir de la component homopolar de tensió.



C. SVPWM

C.1. introducció

Per tal d'aconseguir sintetitzar tensions trifàsiques amb un convertidor el primer mètode emprat va ser el conegut PWM (*Pulse Width Modulation*), que en les seves primeres versions analògiques consistia en la comparació de la senyal a obtenir amb una senyal triangular de freqüència igual a la freqüència màxima de commutació dels interruptors de potencia de l'ondulador. Posteriorment amb l'aparició del control digital realitzat a través de microcontroladors o DSP's es va començar a usar la versió discreta del PWM, l'anomenat SPWM (*Scalar PWM*).

Més recentment i amb la proliferació de diferents mètodes de control de parell i velocitat del motor d'inducció, la majoria dels quals operaven amb els fasors espacials, la versió vectorial del SPWM, conegut com a SVPWM (*Space Vector PWM*) va adquirir una major difusió fins a arribar a avui en dia que és el mètode més usat per a la regulació dels ondulators de tensió.

C.2. El mètode

Ja s'ha comentat que, segons l'estructura de convertidor fixada en capítols anteriors, disposem de 6 interruptors estàtics (IGBT) que poden estar oberts o tancats seguint unes normes:

- ❖ No poden estar els dos interruptors tancats a l'hora ja que es produiria un curtcircuit.
- ❖ No poden estar els dos interruptors oberts al mateix temps ja que no tindriem definida la tensió a la fase n.

Cada possible estat del convertidor pot ser definit per un vector, anomenat Vector de Tensió de l'ondulador, on es defineix amb un 1 o un 0 l'estat de les 3 branques. Si es defineix una branca com un 1 farà referència a que l'interruptor superior de la branca estigui tancat (conduueixi) mentre que l'inferior estigui obert (no conduueixi).

Així doncs, en el convertidor tindrem 2^3 possibles estats definits per els 8 Vectors de Tensió:



$V_0=(0,0,0)$	$V_1=(1,0,0)$	$V_2=(1,1,0)$	$V_3=(0,1,0)$
$V_4=(0,1,1)$	$V_5=(0,0,1)$	$V_6=(1,0,1)$	$V_7=(1,1,1)$

Fig. C.1. Taula Vectors tensió

S'ha numerat els vectors de tal manera que el pas d'un vector al següent només impliqui la commutació d'una branca, d'aquesta manera es minimitzen les commutacions dels IGBT.

Aquests vectors defineixen un sistema trifàsic de tensions. Cada component, que fa referència a un branca, també fa referència a la tensió que suporta la fase connectada a aquella branca.

Un "1" indicarà una tensió de $\frac{V_{DC}}{2}$, mentre que un "0" indicarà una tensió de $-\frac{V_{DC}}{2}$ en la fase corresponent. Així doncs es pot aplicar la transformació de Park a aquest sistema.

Si primer s'aplica la projecció de Clarke en els eixos D – Q

$$\begin{pmatrix} V_0 \\ V_D \\ V_Q \end{pmatrix} = \sqrt{\frac{2}{3}} \begin{pmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{pmatrix} \begin{pmatrix} V_A \\ V_B \\ V_C \end{pmatrix} \quad [1.1]$$

S'obtenen els següents vectors tensió projectats sobre el pla D – Q :

$V_0 = \left(0, 0, \frac{-\sqrt{3}}{2} \right)$	$V_1 = \left(\sqrt{\frac{2}{3}}, 0, \frac{-\sqrt{3}}{6} \right)$	$V_2 = \left(\frac{1}{\sqrt{6}}, \frac{1}{\sqrt{2}}, \frac{\sqrt{3}}{6} \right)$	$V_3 = \left(\frac{-1}{\sqrt{6}}, \frac{1}{\sqrt{2}}, \frac{-\sqrt{3}}{6} \right)$
$V_4 = \left(-\sqrt{\frac{2}{3}}, 0, \frac{\sqrt{3}}{6} \right)$	$V_5 = \left(\frac{-1}{\sqrt{6}}, \frac{-1}{\sqrt{2}}, \frac{-\sqrt{3}}{6} \right)$	$V_6 = \left(\frac{1}{\sqrt{6}}, \frac{-1}{\sqrt{2}}, \frac{\sqrt{3}}{6} \right)$	$V_7 = \left(0, 0, \frac{\sqrt{3}}{2} \right)$

Fig. C.2. Taula Vectors tensió projectats sobre D – Q $V_n = (V_D, V_Q, V_0)$

En aquesta taula s'han obviat les tensions de bus ja que estarien multiplicant tots els vectors.



En l'annex B es demostra com en tensions compostes la component homopolar desapareix. Així doncs es pot dibuixar els 8 Vectors tensió en el pla D – Q :

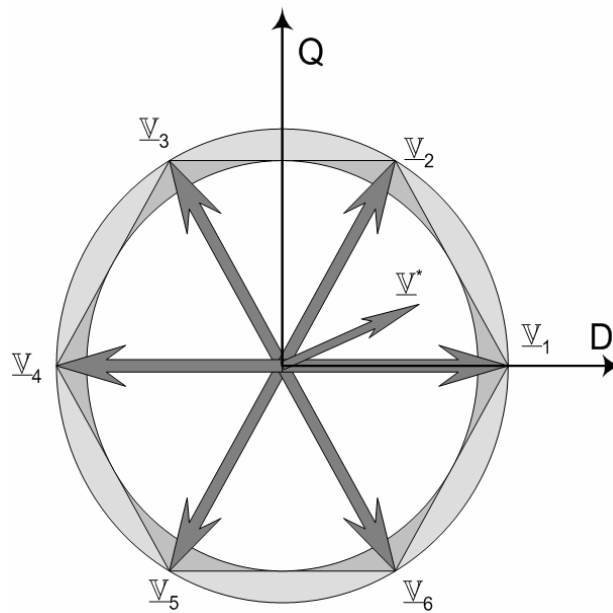


Fig. C.3. Hexàgon de tensions

Aquesta representació és coneguda com l'hexàgon de tensions. Els vectors 0 i 7 estarien situats en el centre de l'hexàgon perpendiculars al pla.

L'estratègia de l'SVPWM consisteix en sintetitzar qualsevol vector tensió de dins l'hexàgon mitjançant l'aplicació dels 8 possibles vectors de l'ondulador.

En el cas de la Fig. C.3. si es vol obtenir el vector V^* caldrà aplicar durant un temps V_1 i durant un temps V_2 , sempre tenint present que s'hauran de complir dues condicions:

$$\begin{aligned} \underline{V}^* \cdot \frac{T}{2} &= \sum V_i \cdot t_i \\ \frac{T}{2} &= \sum t_i \end{aligned} \quad [1.2]$$

On : V_i és el vector i aplicable per l'ondulador durant el temps t_i

T és el període de commutació de l'ondulador.

Amb la definició anterior hi ha múltiples combinacions vàlides, però la més usada és aquella que minimitza les commutacions dels interruptors i la distorsió harmònica del convertidor. Per



aconseguir-ho s'intercalarà en cada canvi de vector els vectors nuls (0 i 7) per tal de que en cada moment només una branca sigui la que commuta.

En l'estratègia de minimitzar les commutacions l'aplicació de un dels dos vectors nuls serà funció del vector que s'ha aplicat anteriorment. És a dir, després d'aplicar el vector V_2 per tal de tenir el mínim nombre de commutacions s'haurà d'aplicar el vector V_7 . Mentre que abans d'aplicar el vector V_1 s'aplicarà el vector nul V_0 .

Si apliquem [1.2] a l'exemple tindrem:

$$\begin{aligned} \underline{V}^* \cdot \frac{T}{2} &= \underline{V}_0 \cdot t_0 + \underline{V}_1 \cdot t_1 + \underline{V}_2 \cdot t_2 + \underline{V}_7 \cdot t_7 \\ \frac{T}{2} &= t_0 + t_1 + t_2 + t_7 \end{aligned} \quad [1.3]$$

El resultat d'aplicar l'estratègia minimitzant les commutacions es pot veure a la Fig. C.4.

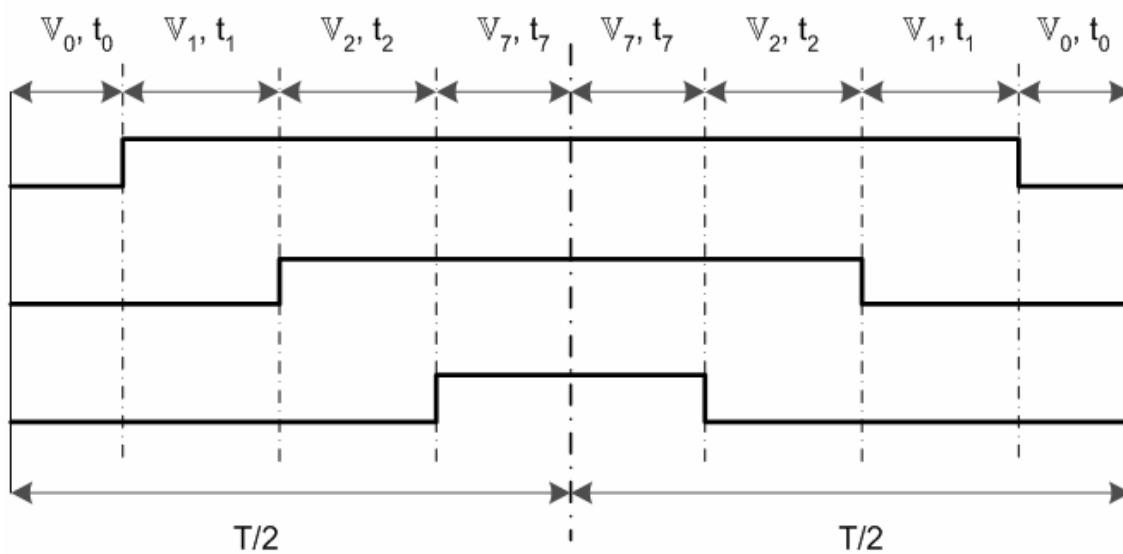


Fig. C.4. Sinterització d'un vector



C.3. Límit en l'SVPWM

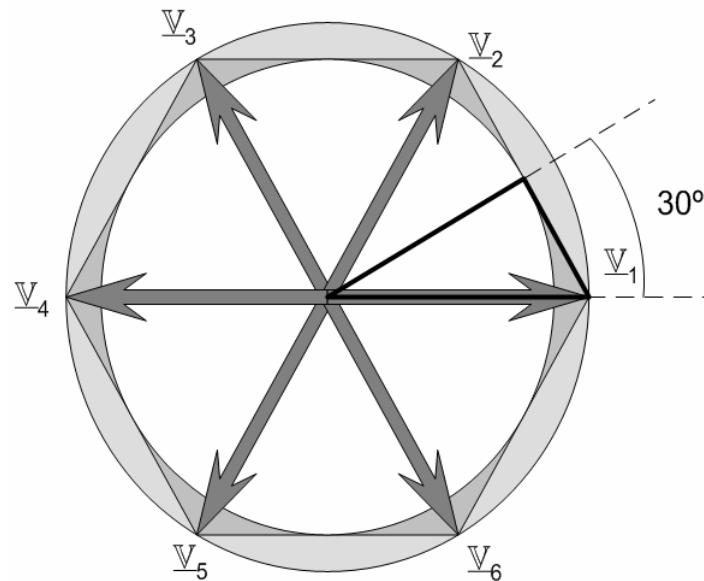


Fig. C.5. Hexàgon de tensions

A l'SVPWM no es pot aplicar qualsevol vector de l'hexàgon de tensions, sinó que està limitat pel cercle interior a l'hexàgon de tensions. A la Fig. C.5. es pot observar que el mòdul del vector màxim que es pot aplicar és el radi de la circumferència interior. A partir de trigonometria es pot trobar el radi interior d'aquesta circumferència tal i com s'ha fet a [1.4].

$$r_{int} = r_{ext} \cdot \cos\left(\frac{\pi}{6}\right) = \frac{\sqrt{3}}{2} r_{ext} \quad [1.4]$$

El valor màxim que es pot arribar és aquell en què el tot el període de commutació s'està aplicant un sol vector. Així doncs el valor màxim s'obté quan t_1 és mig període.

Aquest però és el límit del mòdul, i com que en el control es treballa enlloc de en mòdul en vectors en components directes i de quadratura s'hauran de limitar cada una d'elles.

Hi ha moltes maneres de limitar el control però s'ha optat per limitar primer la V_d a el valor màxim de tensió i posteriorment limitar V_q al que resti per completar el mòdul màxim.



$$\begin{cases} V_d \leq \frac{V_{bus}}{\sqrt{3}} \\ V_q \leq \sqrt{\left(\frac{V_{bus}}{\sqrt{3}}\right)^2 - V_d^2} \end{cases} \quad [1.5]$$

Aquest mètode presenta la problemàtica que la majoria de vegades s'estarà limitant molt la component en quadratura de les tensions ja que si la tensió de bus és molt baixa per la tensió de sortida que es demana la V_d quedarà saturada al seu valor màxim mentre que V_q haurà de ser zero. Aquest fet podria portar problemes en el control ja que no es podria controlar més que la tensió directa. Tot i això s'ha vist que en aquest projecte la tensió de bus ve determinada per nosaltres mitjançant el rectificador actiu i es pot elevar fins a valors suficientment alts per que no es presenti aquest problema.

L'avantatge d'aquest mètode de limitació és que en els casos en que V_d no sature s'estarà aprofitant tot el mòdul del vector tensió per la generació de la tensió de sortida.

C.4. Implementació del SVPWM

Dels càlculs realitzats pel DSP el més complexa és l'implementació de l'SVPWM. Aquest mètode de generació de tensions descrit al, és complex d'implementar en un DSP ja que s'ha de decidir en cada moment quins són els dos vectors de l'hexàgon de tensions més propers al vector consigna.

Si suposem un vector genèric situat entre els vectors 1 i 2 (Fig. C.6.)

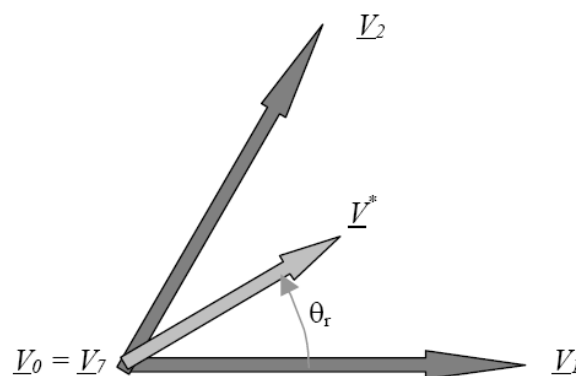


Fig. C.6. Vector tensió genèric entre els vectors 1 i 2

Es pot expressar com s'ha vist al [1.3]:



$$\begin{aligned} \underline{V}^* \cdot \frac{T}{2} &= \underline{V}_0 \cdot t_0 + \underline{V}_1 \cdot t_1 + \underline{V}_2 \cdot t_2 + \underline{V}_7 \cdot t_7 \\ \frac{T}{2} &= t_0 + t_1 + t_2 + t_7 \end{aligned} \quad [1.6]$$

Podem expressar el vector consigna en les seves components D – Q, i tenint en compte que les components directa i en quadratura dels vectors 0 i 7 són nul·les:

$$\begin{aligned} \begin{pmatrix} V_d \\ V_q \end{pmatrix} \frac{T}{2} &= \begin{pmatrix} V_{1d} & V_{2d} \\ V_{1q} & V_{2q} \end{pmatrix} \begin{pmatrix} t_1 \\ t_2 \end{pmatrix} \\ \frac{T}{2} &= t_1 + t_2 + t_0 + t_7 \\ t_0 &= t_7 \end{aligned} \quad [1.7]$$

Es pot trobar les úniques incògnites del sistema com:

$$\begin{aligned} t_1 &= \frac{V_{2q}V_d - V_{2d}V_q T}{V_{1d}V_{2q} - V_{2d}V_{1q} 2} \\ t_2 &= \frac{V_{1d}V_q - V_{1q}V_d T}{V_{1d}V_{2q} - V_{2d}V_{1q} 2} \\ t_0 + t_7 &= \frac{T}{2} - t_1 - t_2 \end{aligned} \quad [1.8]$$

Ara es poden desenvolupar les expressions per intentar simplificar els càlculs del DSP i eliminar de les operacions la divisió, ja que aquesta operació requereix molt temps de càlcul dins un DSP. S'obté:

$$\begin{aligned} t_1 &= \frac{V_{2q}T/2}{V_{1d}V_{2q} - V_{2d}V_{1q}} V_d - \frac{V_{2d}T/2}{V_{1d}V_{2q} - V_{2d}V_{1q}} V_q \\ t_2 &= \frac{V_{1d}T/2}{V_{1d}V_{2q} - V_{2d}V_{1q}} V_q - \frac{V_{1q}T/2}{V_{1d}V_{2q} - V_{2d}V_{1q}} V_d \end{aligned} \quad [1.9]$$

Ara es té una estructura que depèn dels vectors adjacents i el període de commutació. Així doncs es pot ajuntar aquests termes en unes constants com:



$$\begin{aligned} t_1 &= K_{11} \cdot T / 2 \cdot (E_d) \cdot V_d - K_{12} \cdot T / 2 \cdot (E_d) \cdot V_q \\ t_2 &= K_{21} \cdot T / 2 \cdot (E_d) \cdot V_q - K_{22} \cdot T / 2 \cdot (E_d) \cdot V_d \end{aligned} \quad [1.10]$$

Cal fer esment que s'ha multiplicat les constants per la tensió de bus (E_d), ja que la magnitud dels vectors de l'hexàgon de tensió vindran determinats per la tensió de bus. Seguint aquesta estratègia a la Fig. C.7. es pot veure una taula amb els valors de les constants K en funció de en quina regió es trobi el vector consigna.

Regió	K_{11}	K_{12}	K_{21}	K_{22}
1	$\frac{\sqrt{3}}{2} \frac{1}{E_d}$	$\frac{1}{\sqrt{2}} \frac{1}{E_d}$	$\sqrt{2} \frac{1}{E_d}$	0
2	$\frac{\sqrt{3}}{2} \frac{1}{E_d}$	$\frac{-1}{\sqrt{2}} \frac{1}{E_d}$	$\frac{1}{\sqrt{2}} \frac{1}{E_d}$	$\frac{\sqrt{3}}{2} \frac{1}{E_d}$
3	0	$-\sqrt{2} \frac{1}{E_d}$	$\frac{-1}{\sqrt{2}} \frac{1}{E_d}$	$\frac{\sqrt{3}}{2} \frac{1}{E_d}$
4	$-\frac{\sqrt{3}}{2} \frac{1}{E_d}$	$\frac{-1}{\sqrt{2}} \frac{1}{E_d}$	$-\sqrt{2} \frac{1}{E_d}$	0
5	$-\frac{\sqrt{3}}{2} \frac{1}{E_d}$	$\frac{1}{\sqrt{2}} \frac{1}{E_d}$	$\frac{-1}{\sqrt{2}} \frac{1}{E_d}$	$-\frac{\sqrt{3}}{2} \frac{1}{E_d}$
6	0	$\sqrt{2} \frac{1}{E_d}$	$\frac{1}{\sqrt{2}} \frac{1}{E_d}$	$-\frac{\sqrt{3}}{2} \frac{1}{E_d}$

Fig. C.7. Taula de constants K

Ara només manca decidir en quina regió es troba el vector consigna per aplicar unes o altres constants. Per aconseguir-ho cal tenir en compte que les separacions entre vectors de l'hexàgon són de 60° i per tant podem escriure:

$$\rho = \arctan\left(\frac{V_{sq}}{V_{sd}}\right)$$

$$V_{sq} = \tan(60^\circ) \cdot V_{sd} = \sqrt{3} \cdot V_{sd} \Rightarrow \sqrt{3} \cdot V_{sd} - V_{sq} = 0$$

Tenint present la següent taula (Fig. C.8.) podem decidir en quina regió ens trobem:

	1	2	3	4	5	6
$\text{signe}(V_{sd})$	+		-	-		+
$\text{signe}(V_{sq})$	+	+	+	-	-	-



$\text{signe}\left(\sqrt{3}\ V_{sd}\ - \ V_{sq}\ \right)$	+	-	+	+	-	+
--	---	---	---	---	---	---

Fig. C.8. Taula de decisió de la regió del vector consigna



D. Estudi i comparativa d'amplificadors operacionals per els ADC

En aquest apartat es fa una comparativa entre els amplificadors operacionals Rail to Rail i els clàssics per veure quina de les dues opcions s'adapta millor al disseny dels ADC de la placa Megadeath.

Amplificadors Rail to Rail

El principal avantatge és l'alimentació, si es volen senyals a l'entrada del DSP de 0/3V es pot utilitzar amplificadors alimentats a 3.3V estalviant dues fonts commutades de $\pm 15V$. També és més segur ja que no poden aparèixer tensions perilloses de 15V en el DSP.

Els dos principals inconvenients són:

- No pot arribar a donar 0V a la seva sortida
- No pot donar tensions negatives a al seva sortida
- No es pot fer un muntatge diferencial clàssic

Ens centrem ara en el primer dels inconvenients, l'amplificador no permet donar 0V a la seva sortida. Si ens mirem un exemple d'amplificador comercial (TS1874) veiem que el límit inferior de la seva sortida és de 200mV, cosa que suposa un 6.6% de pèrdua de rang en els 0/3V. D'aquesta manera es presenta una no linealitat en la senyal que arriba al DSP, com es pot veure a la Fig. D.1.:



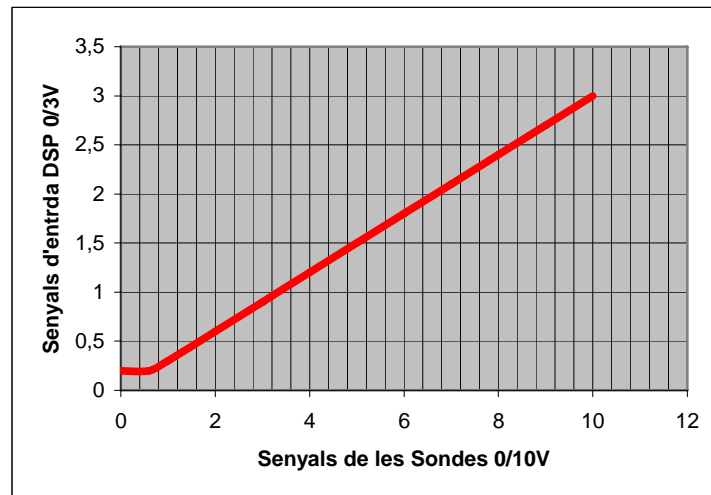


Fig. D.1. Gràfica de no linealitat de l'amplificador

Per evitar que afecti es pot definir el zero de l'ADC (ADC_Low) del DSP a 0.2V, cosa que situaria el rang de tensions en 0.2/3V i el seu nivell mig a 1.6V.

En aquest punt es fa un estudi del tractament dels diferents tipus de senyal:

Si ens fixem en les senyals bipolars hem de traduir el rang -10/10V a 0.2/3.2V.

L'amplitud del senyal, a la sortida de les sondes, serà: $\Delta V_i = 10 - (-10) = 20V$

L'amplitud de la senyal al ADC serà: $\Delta V_{ADC} = 3 - 0.2 = 2.8V$

El guany de l'amplificador haurà de ser: $G = \frac{2.8}{20} = 0.14$

Aplicant aquest guany les senyals d'entrada seran:

$$\begin{aligned} -10V &\Rightarrow -1.4V \\ 10V &\Rightarrow 1.4V \end{aligned}$$

Caldrà sumar 1.6V a cada senyal per tenir:

$$\begin{aligned} (-10 \cdot 0.14) + 1.6 &= 0.2V \\ (10 \cdot 0.14) + 1.6 &= 3V \end{aligned}$$

Per aconseguir aplicar un guany i sumar una referència es proposa una estructura d'amplificador operacional amb entrada diferencial, representada a la Fig. D.2.:



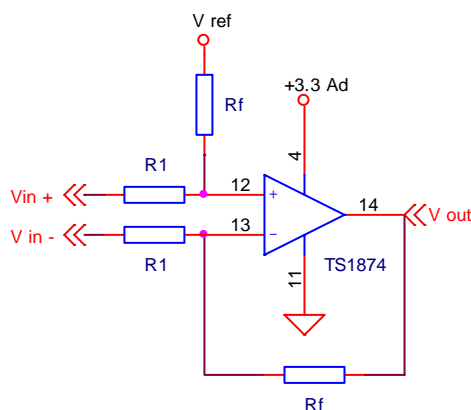


Fig. D.2. Estructura entrada diferencial

Aquest muntatge respon a l'equació següent:

$$V_{out} = (V_{in+} - V_{in-}) \frac{R_f}{R_1} + V_{ref} \quad [1.11]$$

Cal notar que aquesta estructura té una impedància d'entrada imposada per les resistències que es col·loquin. Si s'intentés obtenir impedàncies d'entrada infinites col·locant operacionals com a seguidors de tensió a les entrades, com en el muntatge diferencial clàssic, es veuria que hi ha un operacional que hauria de donar tensions negatives en algun moment. Com ja s'ha explicat això no ho permeten els amplificadors rail to rail i per tant s'haurà de definir l'impedància d'entrada amb les resistències de guany. Així doncs col·locant valors de resistències grans, mantenint la relació entre elles, tindrem el valor d'impedància d'entrada desitjat, sempre tenint present que una resistència més gran de 100k pot fer d'antena.

Una avantatge en la utilització dels rail to rail la trobem en el fet que si s'alimenta l'operacional amb 3.3V aquest no podrà donar mai una tensió més elevada que aquesta a la seva sortida, i per tant no caldrà protegir l'entrada de l'ADC enfront sobretensions.

El muntatge diferencial clàssic aporta dues avantatges:

- Impedància d'entrada infinita
- Rebuig del mode comú de la senyal d'entrada

El nostre muntatge diferencial definirà l'impedància d'entrada amb les resistències i tindrà cert rebuig del mode comú, definit per l'operacional que escollim.



Els valors referents a les entrades bipolars $\pm 10V$ els apreciem a la Fig. D.3.

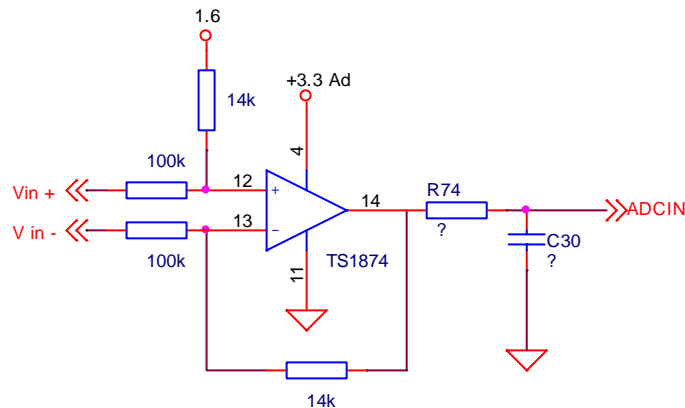


Fig. D.3. Estructura entrada bipolar $\pm 10V$

En l'esquema es pot veure un filtre RC, aquest serà comentat posteriorment en aquest mateix capítol.

Si ara mirem les senyals unipolars, tenim un rang de $0/10V$.

L'amplitud del senyal serà: $\Delta V_i = 10 - 0 = 10V$

L'amplitud de la senyal al ADC serà: $\Delta V_{ADC} = 3 - 0.2 = 2.8V$

El guany de l'amplificador haurà de ser: $G = \frac{2.8}{10} = 0.28$

Aplicant aquest guany les senyals d'entrada seran:

$$\begin{aligned} 0V &\Rightarrow 0V \\ 10V &\Rightarrow 2.8V \end{aligned}$$

Caldrà sumar $0.2V$ a cada senyal per tenir:

$$\begin{aligned} (0 \cdot 0.28) + 0.2 &= 0.2V \\ (10 \cdot 0.28) + 0.2 &= 3V \end{aligned}$$

L'estructura que es proposa per la senyal unipolar es veu a la Fig. D.4..



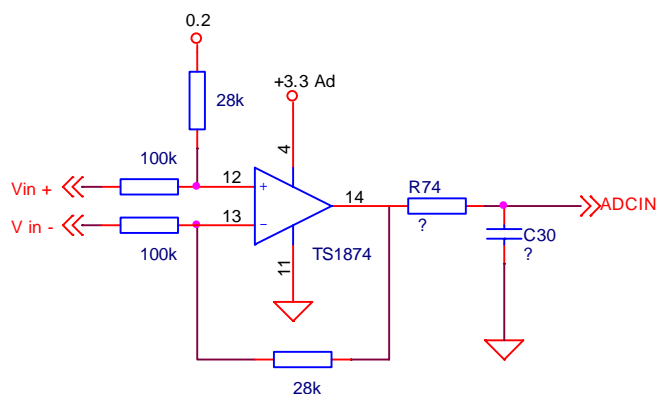


Fig. D.4. Estructura entrada unipolar 0-10V

Plantejada aquesta alternativa apareix un inconvenient clar, tenim dues referències de tensió diferents, una per cada tipus d'entrada. Pel que fa a la referències cal comentar que són un punt crític en la seva adquisició ja que al mercat no hi ha tots els valors de tensió desitjats. Els 1.6V és un valor existent en el mercat, mentre els 0,2V no existeixen. Així doncs un problema afegit serà crear una referència de 0.2V per referenciar el nivell baix de l'ADC i les estructures d'entrada unipolar .

Si es parteix de la referència de tensió de 1.6V es pot fer el muntatge següent:

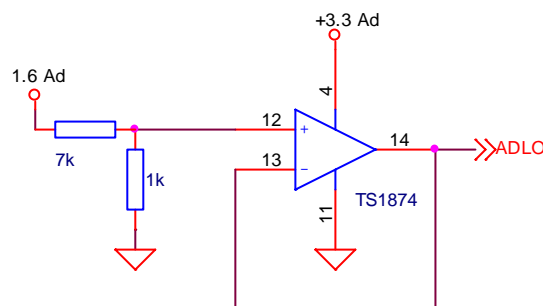


Fig. D.5. Muntatge per la generació del ADC_low a 0.2V

Aquesta manera de generar el nivell baix de tensió permet ser poc sensibles en front a variacions de l'alimentació de 3.3V de l'ADC, ja que una variació del 3.3 provocarà una variació del 0.2. Els possibles canvis en l'alimentació i en els valors de les resistències seran un offset en el sistema.



Amplificadors clàssics

Els amplificadors operacionals clàssics permeten un rang de sortida de $\pm V_{out}$ on $|V_{out}| < |V_{alimentacio}|$. D'aquesta manera si s'escull un amplificador que permeti donar 3V a la seva sortida es solucionen els dos problemes dels amplificadors rail to rail.

L'inconvenient principal és el fet de necessitar dues alimentacions de polaritat inversa, així doncs la placa haurà de portar dues fonts de tensió amb el consegüent problema econòmic i de muntatge.

Les estructures proposades pels dos tipus de senyals seran les següents:

Senyal bipolar $\pm 10V$

Volem que la senyal de sortida sigui de 0/3V

L'amplitud del senyal serà: $\Delta V_i = 10 - (-10) = 20V$

L'amplitud de la senyal al ADC serà: $\Delta V_{ADC} = 3 - 0 = 3V$

El guany de l'amplificador haurà de ser: $G = \frac{3}{20} = 0.15$

Aplicant aquest guany les senyals d'entrada seran:

$$\begin{aligned} -10V &\Rightarrow -1.5V \\ 10V &\Rightarrow 1.5V \end{aligned}$$

Caldrà sumar 1.5V a cada senyal per tenir:

$$\begin{aligned} (-10 \cdot 0.15) + 1.5 &= 0.2V \\ (10 \cdot 0.15) + 1.5 &= 3V \end{aligned}$$


L'esquema proposat és el següent:

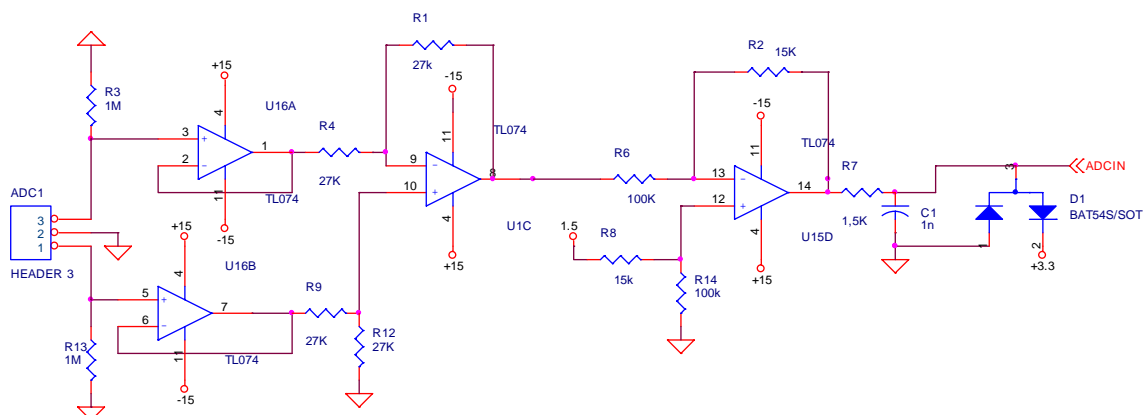


Fig. D.6. Estructura entrada bipolar $\pm 10V$ amb entrada diferencial

Aquest esquema presenta un avantatge, les lectures de les sondes són diferencials amb una impedància molt gran, així doncs no es pertorba la senyal de mesura i s'aconsegueix eliminar els possibles offsets del nostre zero.

En aquest cas el nivell baix de l'ADC és zero i per tant no cal generar-lo de manera externa.

Un inconvenient evident és la utilització de 4 operacionals per cada senyal analògica, estem multiplicant per 4 el número d'amplificadors respecte l'opció del rail to rail.

Senyal unipolar 0/10V

Volem que la senyal de sortida sigui de 0/3V

L'amplitud del senyal serà: $\Delta V_i = 10 - 0 = 10V$

L'amplitud de la senyal al ADC serà: $\Delta V_{ADC} = 3 - 0 = 3V$

El guany de l'amplificador haurà de ser: $G = \frac{3}{10} = 0.3$

Aplicant aquest guany les senyals d'entrada seran:

0V	\Rightarrow	0V
10V	\Rightarrow	3V

En aquest cas no cal aplicar cap offset ja que amb aquests operacionals podem donar 0V a la sortida.



L'esquema proposat és el següent:

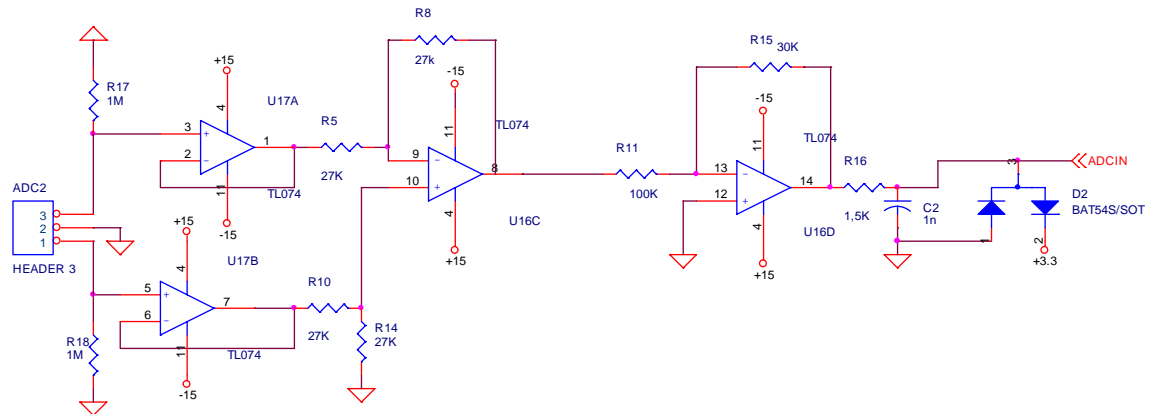


Fig. D.7. Estructura entrada unipolar 0-10V entrada diferencial

Cal tenir en compte que les senyals s'inverteixen en el primer cas, senyal bipolar, però que a nivell software o connectant les entrades permutades es pot solucionar.

El cas dels amplificadors clàssics soluciona problemes de rang i permet fer entrades diferencials d'alta impedància, però obliga a tenir dues alimentacions extres a la placa així com a protegir el DSP amb díodes per evitar possibles sobretensions de l'operacional.

D.1. Metodologia per triar el filtre RC de l'ADC

En aquest apartat es descriu una metodologia que permet triar els valors del filtre RC dels ADC així com les característiques dels amplificadors operacionals.

Partim d'un esquema simbòlic del filtre RC:

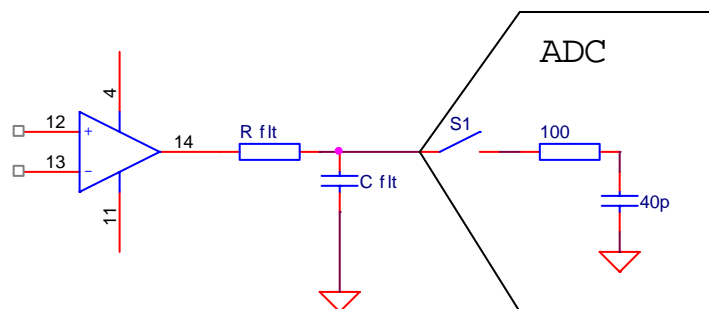


Fig. D.8. Estructura entrada unipolar 0-10V entrada diferencial



D.1.1. Tria del condensador C_{FLT}

La lectura de tensió que farà el conversor després de tancar la finestra d'adquisició, serà en bornes del condensador intern C_{SH} . Per tal que aquesta tensió sigui el més propera possible al valor que dona l'operacional, es col·loca un condensador (C_{flt}) a l'entrada de l'ADC per poder donar la corrent necessària. L'objectiu a assolir serà carregar el condensador C_{SH} amb la tensió a convertir. Idealment aquesta càrrega la donarà el condensador C_{FLT} , i per tant cal calcular la seva capacitat per que no variï la seva tensió en més de 0.5LSB (0.365mV).

$$\begin{aligned} Q_{SH} &= C_{SH} V_{REF} \\ Q_{SH} &= 40 pF \cdot 2.8V = 112 pC \end{aligned} \quad [1.12]$$

Es considera el cas més desfavorable que és quan el condensador de l'ADC està a nivell baix (0.2V) i ha de carregar-se a nivell alt (3V), un increment de 2.8V. La càrrega que donarà el C_{FLT} serà:

$$\begin{aligned} Q_{FLT} &= C_{FLT} \cdot 0.365 mV \\ Q_{FLT} &= Q_{SH} \\ 112 pC &= C_{FLT} \cdot 0.365 mV \Rightarrow C_{FLT} = 0.306 \mu F \end{aligned} \quad [1.13]$$

Aquest condensador és molt gran i no és viable. Per tant es seguirà una altre estratègia; en comptes de fer que tota la càrrega del C_{SH} la doni el condensador del filtre considerem que una part la dona l'amplificador operacional. El 95% el C_{FLT} i el 5% l'operacional. El C_{FLT} no haurà de reduir la seva tensió en més del 5% en el moment de sampling:

$$\begin{aligned} Q_{FLT} &= C_{FLT} (0.05 V_{REF}) \\ 112 pC &= C_{FLT} (0.05 \cdot 2.8) \Rightarrow C_{FLT} = 800 pF \end{aligned} \quad [1.14]$$

Per ajustar a un valor de condensadors estàndard s'agafa un condensador de **1000pF**.

Caldrà comprovar que aquest condensador és com a mínim 10 vegades més gran que l'intern de l'ADC. En el nostre cas és 25 vagades més gran.



D.1.2. Tria de la resistència R_{FLT}

Ara cal calcular la resistència necessària per que l'amplificador pugui donar la corrent que el condensador C_{FLT} sol·licita, representa l'esforç de l'operacional per mantenir el 5% de la tensió de referència. Segons les dades internes, tenim un filtre RC dins l'ADC de constant $\tau_{A/D} = R_{SW} C_{SH} = 100\Omega \cdot 40pF = 4ns$. El temps d'estabilització de la tensió al 0.012207% (0.5 LSB) de la tensió final, és de 9τ . Així el temps per tenir en el C_{SH} la tensió final $\pm 0.5LSB$ serà de $t_{A/Dest} = 9\tau_{A/D} = 36ns$.

Referent A la velocitat de mostreig cal fer una apreciació. En el cas del present projecte es tindran com a molt 10 senyals de control independents, si es considera que el bucle de control es fa a 16 kHz, cada 62.5 μs necessitem mostrejar 10 senyals. El mostreig d'aquests 10 senyals es podria fer a 12.5 MHz, cosa que suposaria un temps de 80 ns per cada canal. Amb aquest temps s'està dins les especificacions de 36ns del RC de l'ADC, però no cal anar tant ràpid en el mostreig ja que si el control no ho exigeix es poden col·locar amplificadors més lents i que donin menys corrent, cosa que abarateix el producte.

El filtre RC haurà de complir unes especificacions per poder mostrejar cada canal a una freqüència de 16kHz. Si es volgués fer Oversampling mostrejant un canal més d'un cop en cada bucle de control, caldria assegurar que la suma de totes les freqüències de tots els canals no fos superior als 12.5MHz.

Es faran els càlculs del RC per un temps de mostreig de 1 μs , que correspon a una velocitat de mostreig d'1MHz per canal. Aquesta freqüència és molt superior als nostres 16kHz, però així mes manté un marge de seguretat considerable.

La constant de temps del filtre extern RC serà: $\tau_{FLT} = C_{FLT} \cdot R_{FLT}$ Si volem que en 1 μs assolim la precisió de 0.5 LSB caldrà que es compleixi: $1\mu s = 9\tau_{FLT}$. Com a regla de disseny es dona un marge del 30% a la constant de temps per donar més temps a l'operacional:

$$\begin{aligned}\tau_{FLT} &= 111.1ns \\ \tau_{FLT}^* &= 0.70\tau_{FLT} = 77.7ns \\ \tau_{FLT}^* &= C_{FLT} \cdot R_{FLT} \Rightarrow R_{FLT} = 77.7\Omega\end{aligned}\quad [1.15]$$

Per ajustar-ho a un valor normalitzat utilitzarem una resistència de **75 Ω** .



D.1.3. Tria de l'amplificador operacional

Segons els valors que s'han obtingut en els dos apartats anteriors es pot calcular el pic de corrent que haurà de donar l'operacional quan samplegem el seu canal:

$$I_{Opk} = (5\%V_{ref}) / R_{FLT} = 150mV / 75\Omega = 2mA \quad [1.16]$$

Ara caldrà fixar-se amb l'ample de banda que ens permet l'operacional.

La banda passant del filtre RC serà:

$$\begin{aligned} \omega &= \frac{1}{RC} \\ f &= \frac{\omega}{2\pi} \\ f_{-3dB} &= \frac{1}{2\pi R_{FLT} C_{FLT}} = \frac{1}{2\pi 75 \cdot 1000e-12} = 2.1MHz \end{aligned} \quad [1.17]$$

Si es considera que l'operacional ha de tenir un ample de banda 4 vegades superior, per poder recuperar-se al carregar el condensador i subministrar el 5% de V_{ref} al ADC es té que:
 $BW = 4f_{-3dB} = 8.4MHz$.

Ara cal comprovar que l'operacional podrà tractar la senyal d'entrada a la seva freqüència màxima. Aquesta dada ens la donarà l'Slew Rate, que definim com:

$$SR = 2\pi f_{\max in} \frac{V_{in-pp}}{2} (1e-6) \quad [1.18]$$

Substituint:

$$SR = 2\pi 160kHz \frac{2.8}{2} (1e-6) = 1.4V / \mu s \quad [1.19]$$

Ara ja tenim tots els elements per poder triar l' amplificador operacional:

$$\begin{aligned} I_{Opk} &= 2mA \\ BW &= 8.4MHz \\ SR &= 1.4V / \mu s \end{aligned} \quad [1.20]$$



Comparant aquestes dades amb productes de mercat trobem que els operacionals que compleixen les especificacions són molt cars. L'element més barat que s'ha trobat que compleixi és OPA4350, amb un preu de 8.07€ l'encapsulat de 4 operacionals. En la nostra aplicació necessitem 16 operacionals, el que suposarien un cost de 64€. Com que això és excessiu s'ha reduït el marge de seguretat en la velocitat de mostreig de cada canal per que les especificacions permetin un operacional més barat.

Freqüència de mostreig per canal: **500kHz** (2μs).

Recalculant tots els valors tindrem:

$$C_{FLT} = 1nF$$

$$R_{FLT} = 150\Omega$$

$$I_{Opk} = 1mA$$

$$BW = 4MHz$$

$$SR = 1.4V / \mu s$$

Aquests valors ens permeten triar un amplificador operacional molt més econòmic, el TS924, que es presenta en un package de 4 operacionals.



E. Assaigs i proves de curtcircuit dels Drivers SQIM

Un cop construïda la placa SQIM s'ha preparat un banc d'assaig per comprovar el bon funcionament dels Drivers. S'ha fet dos tipus d'assaig, un de funcionament normal i un de curtcircuit.

El primer assaig es basa en l'esquema següent (Fig. E.1.):

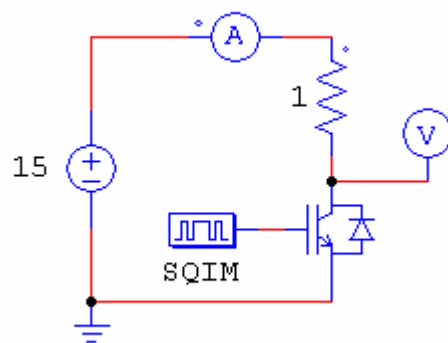


Fig. E.1. Esquema de l'assaig de funcionament

En el primer assaig mirem el retard que es produeix des de que es dona l'ordre de tancament al Driver fins que l'IGBT es tanca completament. Aquest temps determinarà els temps morts mínims que podem configurar en el nostre control. En la Fig. E.2. podem veure en color blau l'ordre de dispar que envia el DSP, mentre que en color rosa tenim la tensió en bornes de l'IGBT (V_{CE}).



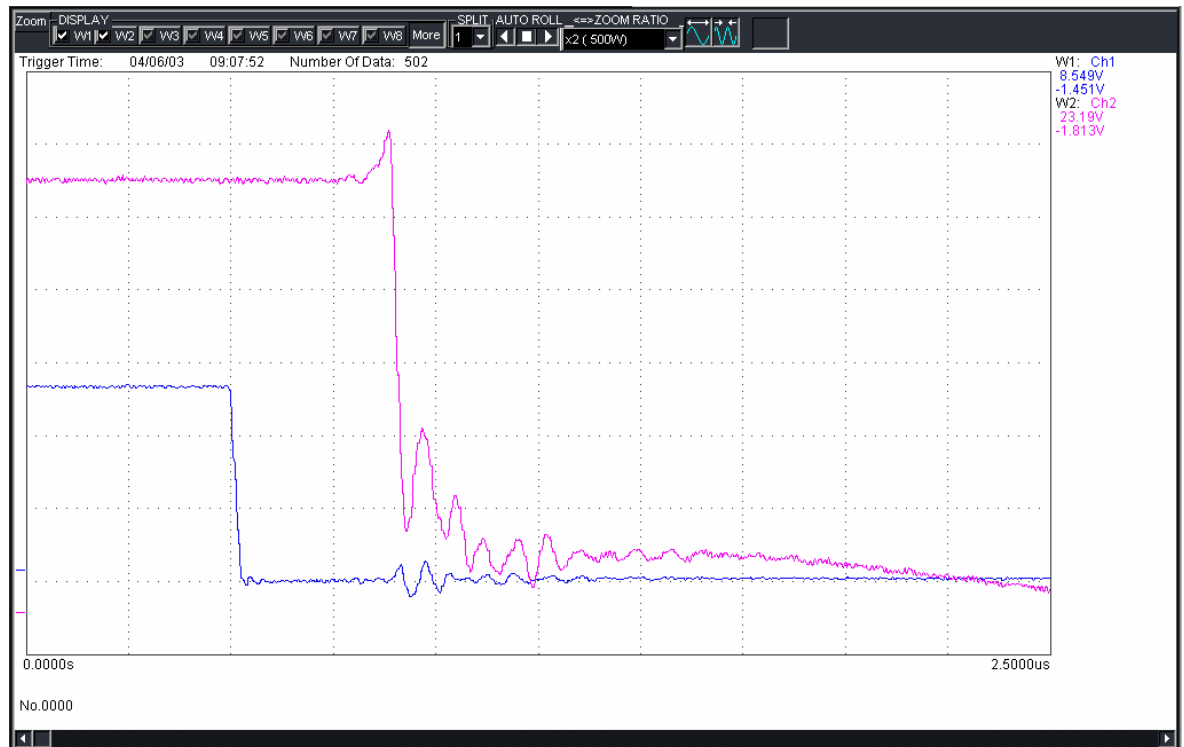


Fig. E.2. Gràfica de tancament. Blau (ordre de dispar), Rosa (tensió IGBT)

Podem veure que el temps de tancament és de 400ns.

En el segon assaig verificarem les proteccions dels Drivers.

La protecció de curtcircuits es basa en comprovar la tensió col·lector – Emissor quan l'IGBT està tancat. Idealment aquesta tensió serà zero però en front d'una falla per curtcircuit aquesta tensió puja degut a la resistència interna del transistor i a la gran corrent que hi circula. Si aquesta tensió supera els 7V durant el període de tancament el Driver detecta un error i obre automàticament l'IGBT.

El procés d'obertura en cas de curtcircuit és crític. Un IGBT pot suportar sobrecorrents de fins a 5 vegades la nominal en temps curts però no pot sobrepassar la seva tensió màxima en cap cas. D'aquesta manera una obertura de curtcircuit massa ràpida provocarà una $\frac{di}{dt}$ molt gran i

les inductàncies presents en el circuit (cables...) provocaran una sobretensió important que si supera els 1200V destruirà l'interruptor. Així doncs en cas de detectar un error el Driver inicia un procés de tancament “lent” del transistor de l'ordre dels μs . Una mesura important per la protecció en front les sobretensions serà la col·locació d'un condensador ràpid tant aprop com



es pugui dels bornes de l'interruptor, aquest serà qui elimini les induccions paràsites del circuit absorbint els pics d'intensitat i disminuint els de tensió.

Per assajar tots aquests aspectes s'ha preparat el circuit següent (Fig. E.3.):

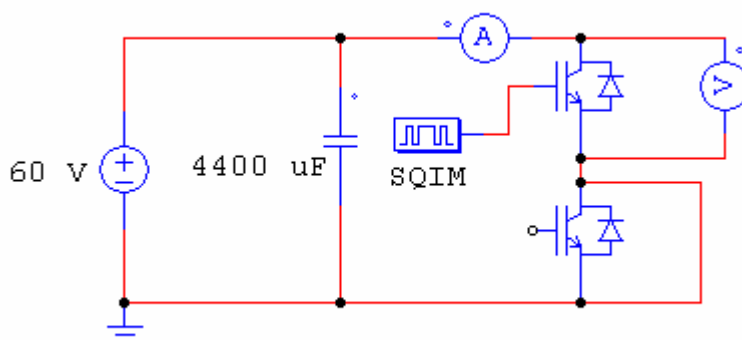


Fig. E.3. Esquema de l'assaig de curtcircuit

Els IGBT utilitzats són els SKM 75GB 123D de la casa Semikron amb una intensitat nominal de 75A i una tensió màxima de 1200V.

Al produir-se el curt circuit (Fig. E.4.) podem veure en color blau com la corrent augmenta fins un màxim de 150A, amb aquesta pujada la tensió en bornes de l'IGBT (color verd) també augmenta, al assolir els 7V salta la protecció i el Driver envia la senyal d'error (color rosa). Al mateix temps s'inicia el procés de tancament de l'interruptor de manera progressiva per evitar $\frac{di}{dt}$ grans. Tot i això es produeixen pics de tensió importants de fins a 700V ja que no s'ha col·locat el condensador ràpid.

També es pot observar en color vermell la senyal de tancament enviada pel DSP. El DSP en rebre la senyal d'error dels Drivers activa un procés de seguretat obrint tots els IGBT. Així veiem que en 3 μ s el DSP deshabilita la senyal de tancament i la torna a posar a 3.3V.

Tot el procés de curtcircuit, des de la senyal de tancament fins a l'estat de corrent zero, comporta 10 μ s.



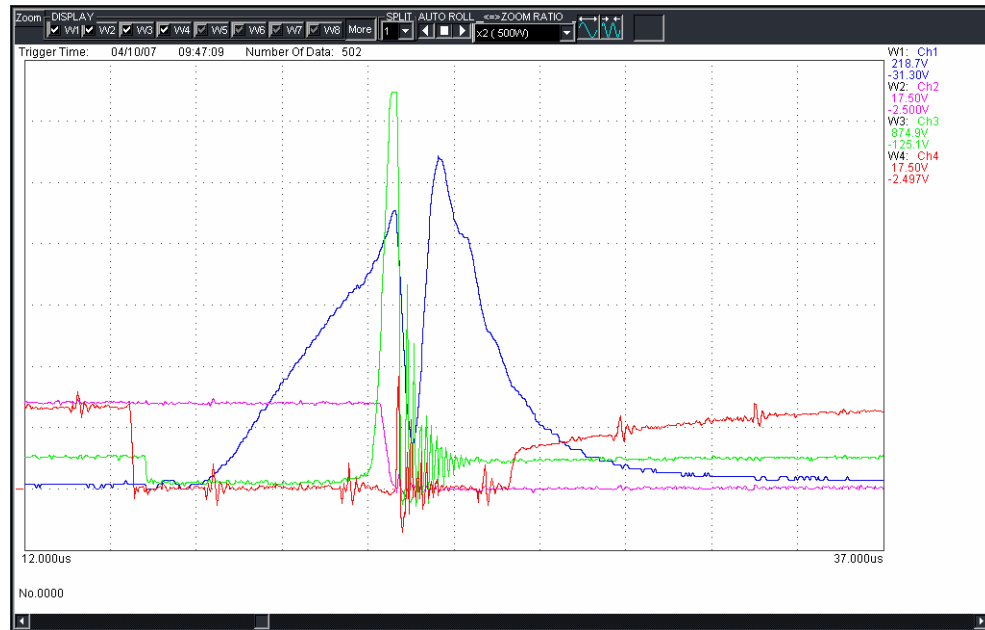


Fig. E.4. Gràfica curtcircuit amb protecció

Si ara col·loquem el condensador ràpid en bornes de la branca d'IGBT tenim el següent esquema (Fig. E.5.):

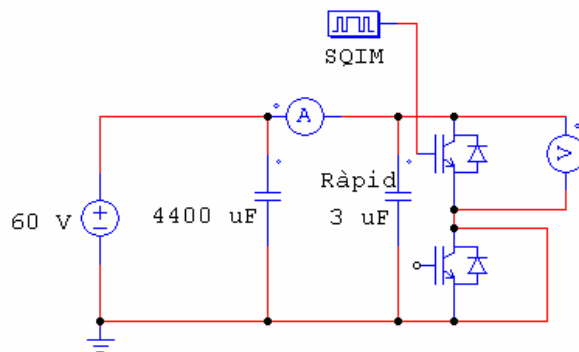


Fig. E.5. Esquema assaig curtcircuit amb condensador de supressió de sobretensions

En aquest cas al realitzar l'assaig veiem (Fig. E.6.) com la tensió (color verd) s'ha reduït considerablement, mentre que juntament amb la intensitat (color blau) entren en una sèrie d'oscil·lacions produïdes per ressonàncies entre els condensadors i les inductàncies. En aquest cas el díode en antiparal·lel de l'interruptor entra en conducció i es pot observar corrent



negativa. Pel que fa a les proteccions tant de Driver com de DSP funcionen correctament (rosa, senyal de DSP; vermell, senyal de Fault).

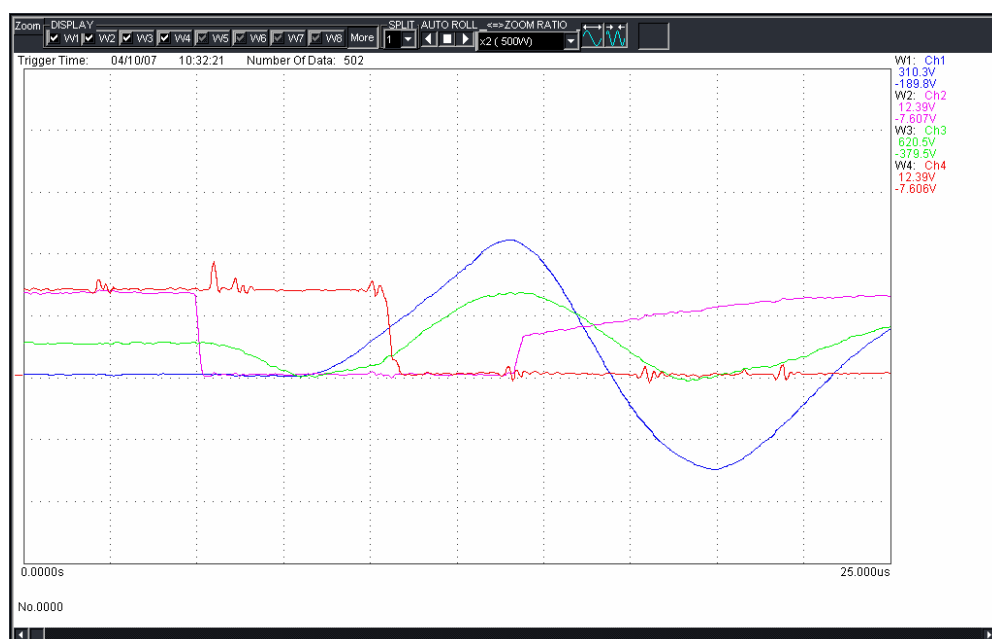


Fig. E.6. Gràfica curtcircuit amb condensador

A la Fig. E.7. es pot veure tot el procés d'oscil·lacions de la tensió i el corrent, trigant 200 μ s en extinguir-se totalment.

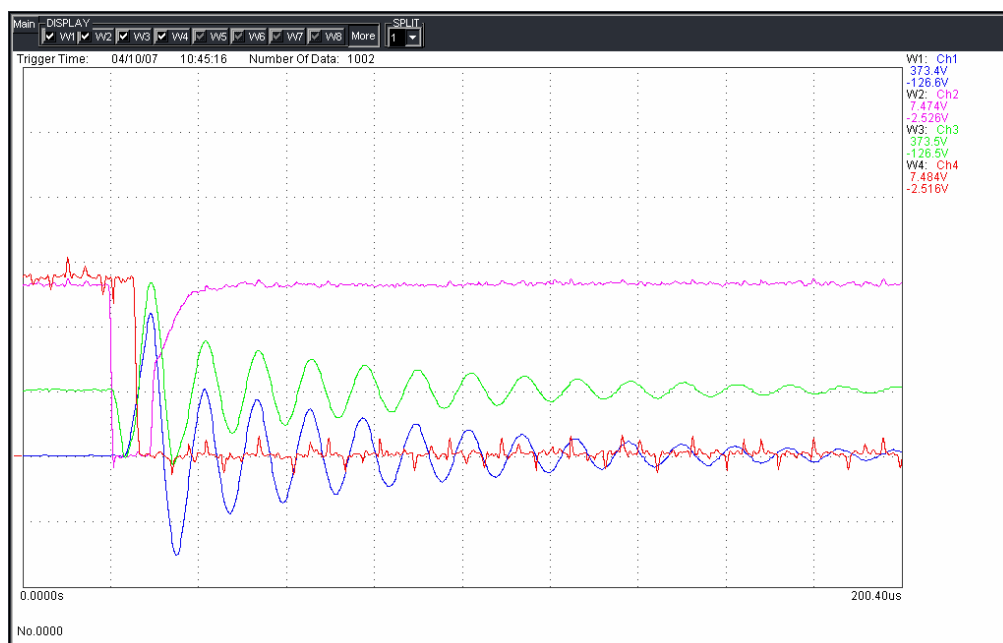


Fig. E.7. Gràfica curtcircuit amb condensador i extinció de les oscil·lacions





F. Estructura de potència Back – to – Back

L'estructura bàsica de la plataforma de potència es el back to back (Fig. F.1.)

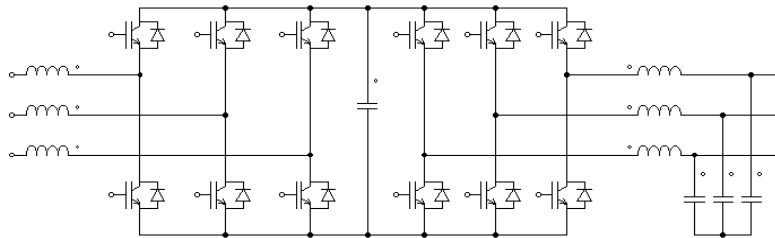


Fig. F.1. Esquema back to back

Una vista superior de la plataforma se'ns presenta a la Fig. F.2.

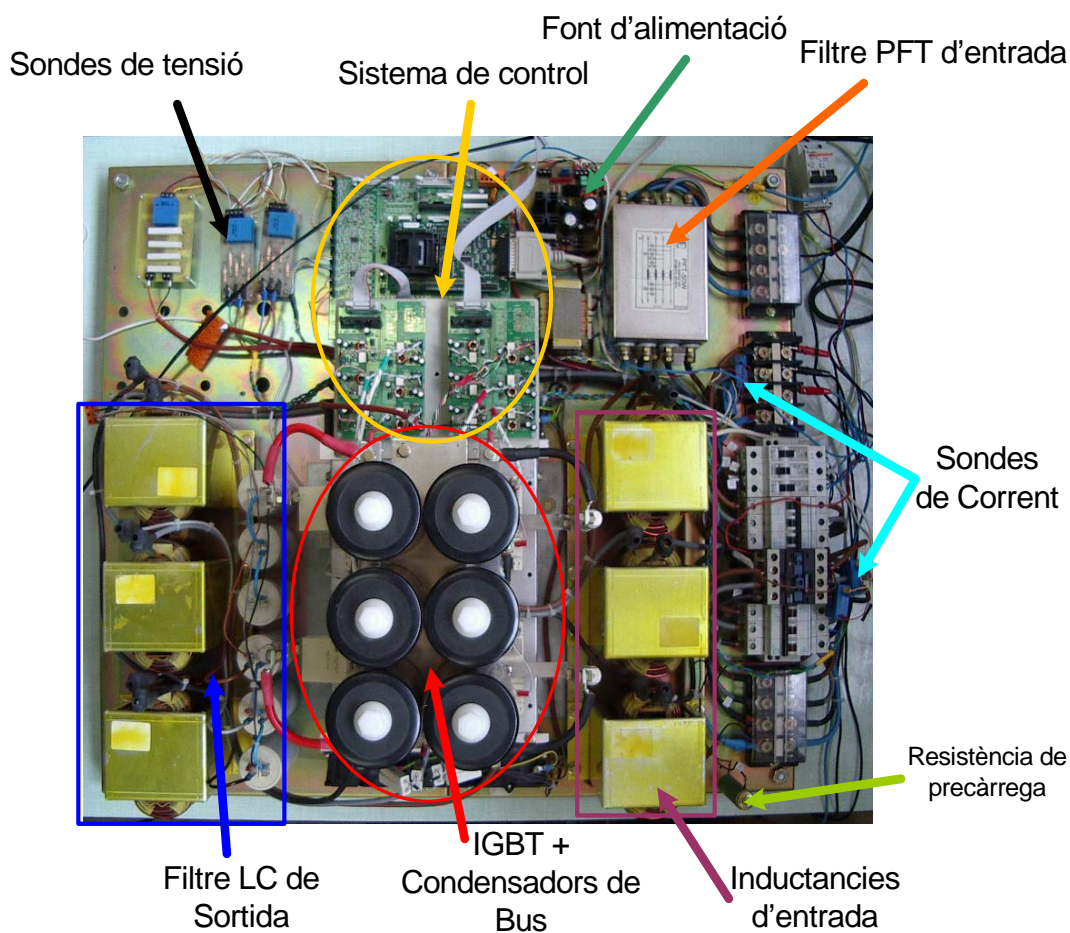


Fig. F.2. Vista superior de la plataforma de potència



F.1. IGBT

L'element principal del convertidor és l'IGBT. El Back to Back consta de 12 IGBT agrupats dos a dos en branques, juntament amb els díodes. Aquestes estructures de branca són de la casa SEMIKRON el model SKM 100GB 123D.

Aquest model de IGBT presenta les següents característiques:

- Tensió màxima: 1200V
- Corrent nominal: 100A
- Corrent màxima: 200 A ($t = 1\text{ms}$)



Aquests IGBT estan col·locats de manera que es poden unir mitjançant una platina de coure estanyat per formar el Bus de contínua, en podem veure la disposició a la Fig. F.3.

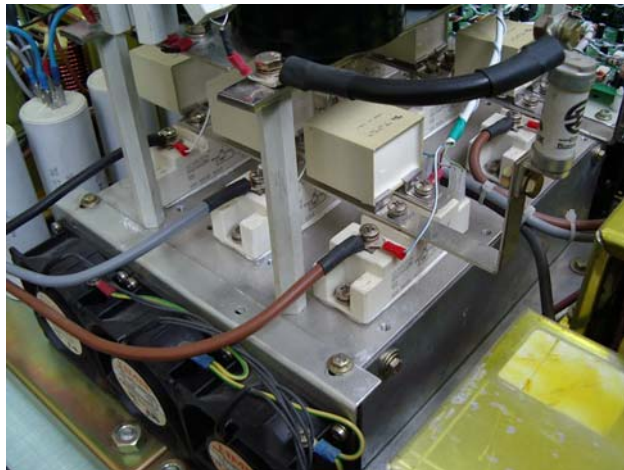


Fig. F.3. Vista dels IGBT

La platina de coure s'usa per minimitzar l'inductància paràsita que tot cable presenta. Els IGBT commuten corrents de fins a 100A a una freqüència de 10kHz, això implica una $\frac{di}{dt}$ molt gran i, en presència de qualsevol inductància, implica pics de tensió que poden ser molt elevats. Aquest és un problema molt important ja que els IGBT suporten sobrecorrents importants sense destruir-se, però al superar la tensió màxima en un rang molt petit, es cremen. Al ser un punt rellevant en el disseny del convertidor s'han col·locat uns



condensadors ràpids just en bornes dels IGBT per reduir al mínim l'inductància paràsita en el sistema. Aquests condensadors són de $2\ \mu\text{F}$ i es poden veure a la Fig. F.4.

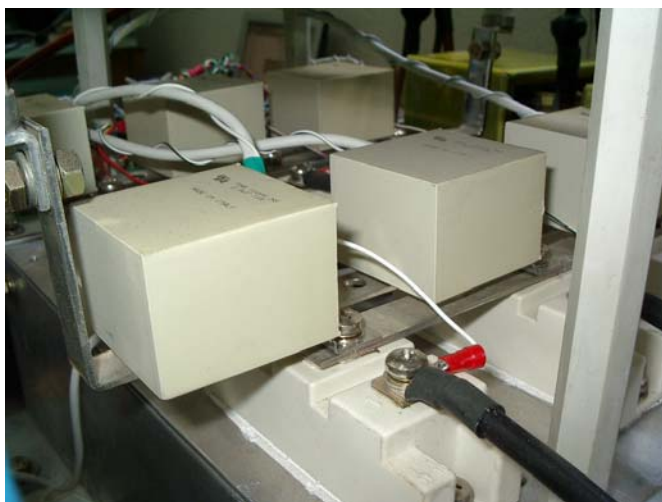


Fig. F.5. Condensadors de supressió de sobretensions

F.2. Bus de contínua

Les platines del Bus de contínua estan unides als condensadors del bus mitjançant uns fusibles de 63A. Els condensadors que formen el Bus de contínua són 6. Són electrolítics ja que aquest tipus de condensadors són molt més compactes que els secs a igualtat de capacitat, per contra tenen polaritat i una tensió màxima de treball força baixa, 450V. Com que l'objectiu del projecte és fer sots de 400V_{RMS} s'ha vist al capítol 5 de la memòria que caldrà situar la tensió de Bus sobre els 700V. D'aquesta manera s'ha construït un bus partit, amb dos grups de 3 condensadors posats en sèrie per poder elevar la tensió fins un màxim de 800V. Per poder equilibrar la tensió entre els dos grups de condensadors s'han col·locat unes resistències d'equilibrat de $8.2\ \text{k}\Omega$. Aquestes resistències també seran les encarregades de descarregar els condensadors quan s'apagui la màquina. A la Fig. F.6. es pot veure una vista del Bus de contínua. La capacitat de cada condensador és de $3300\ \mu\text{F}$ i el muntatge que s'ha descrit presenta una capacitat final de $4950\ \mu\text{F}$.



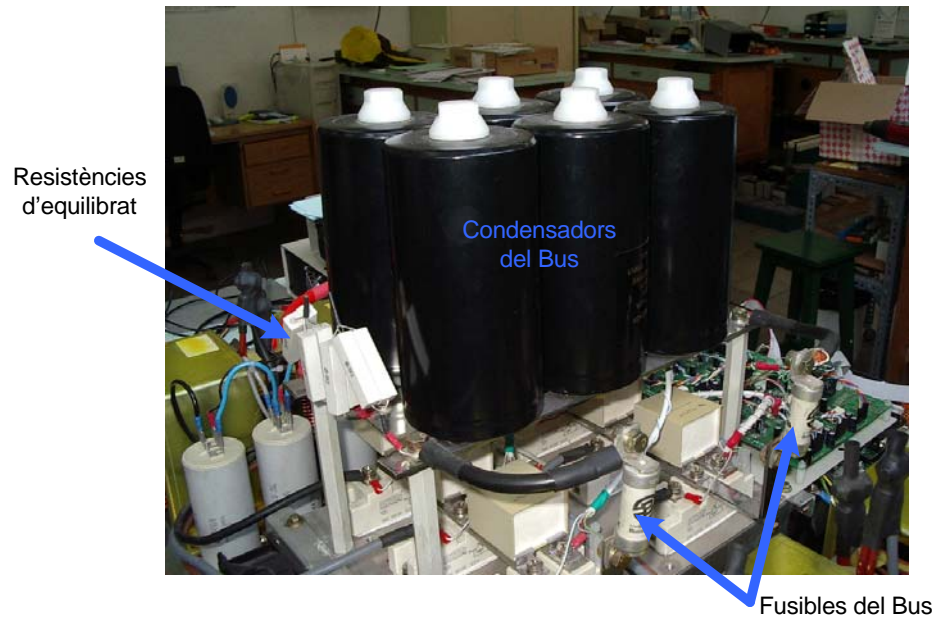


Fig. F.6. Vista del Bus de Contínua

La càrrega inicial del Bus de contínua no es pot fer directament amb una connexió a la xarxa, ja que el pic de corrent que es produiria faria fondre els fusibles o podria inclús destruir els condensadors. La càrrega es fa mitjançant una resistència de precàrrega 75Ω . En encendre la màquina els IGBT del rectificador actiu estan tots oberts i per tant els díodes que tenen en antiparal·lel funcionen com un pont rectificador entre la xarxa i el Bus. Com es pot veure a la Fig. F.7. al tenir l'interruptor I2 tancat i el contactor obert la resistència de precàrrega està situada en sèrie entre la xarxa i una fase del rectificador.

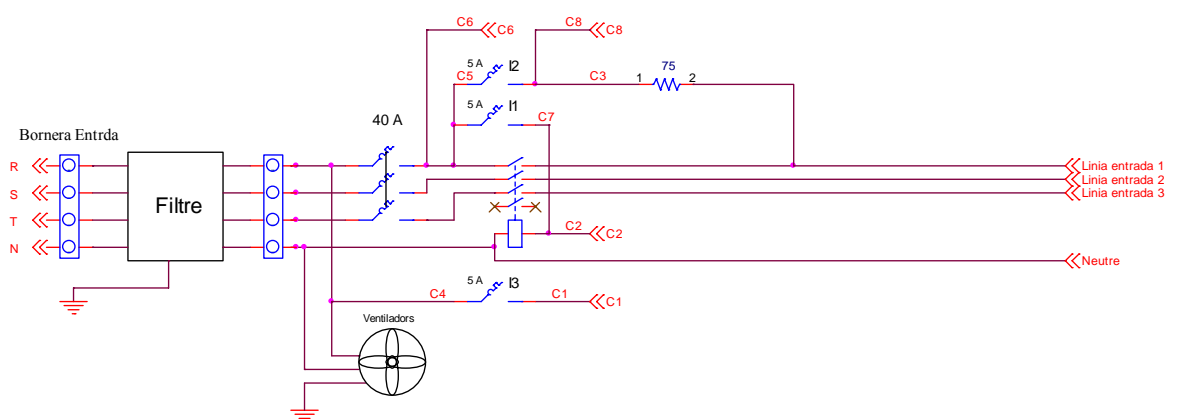


Fig. F.7. Esquema de l'aparamenta de maniobra d'entrada



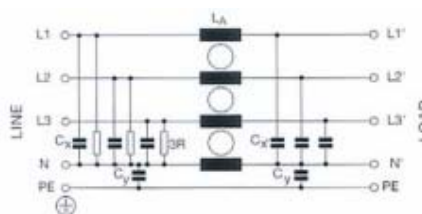
El Bus de contínua es carrega a través de la resistència lentament i quan assoleix un nivell adequat, mitjançant el DSP i un relé situats a la Megadeth, fem tancar el contactor. En aquesta situació la resistència queda curtcircuitada i la xarxa connectada directament al rectificador actiu.

F.3. Filtre d'entrada PFT

A la Fig. F.7. es pot veure que entre la xarxa i tota la plataforma de potència hi ha un filtre PFT. Aquest filtre serà l'encarregat d'aïllar la xarxa i la màquina pel que fa a les altes freqüències.

El filtre respon a l'esquema adjunt amb els següents valors:

- $I = 50A$
- $C_X = 2.2 \mu F$, $C_Y = 15 nF$,
- $L = 0.55 mH$, $R = 110 k\Omega$



Aquest filtre també generarà el neutre necessari per el funcionament dels ventiladors, quan no disposem de neutre en el laboratori.

En el moment de funcionament total de la màquina caldrà tenir present que si es connecta la posta a terra de la carcassa i es té el filtre connectat les corrents d'alta freqüència que generi el Back to Back seran desviades a terra pel filtre. Si la connexió de terra està posada amb l'instal·lació del laboratori pot ser que les corrents desviades pel filtre facin saltar el diferencial si aquest no és superimmunutzat. Caldrà fer un estudi previ el l'instal·lació del local on anirà instal·lat definitivament el generador de sots.

F.4. Filtres de potència

Com s'ha explicat a la memòria a l'entrada del Rectificador actiu hi ha en sèrie amb la xarxa unes bobines. De la mateixa manera a la sortida de l'Ondulador hi ha un filtre LC.

Les bobines dels dos filtres són iguals. Són bobines monofàsiques de $750 \mu H$ i $100A$, dimensionades tèrmicament per poder treballar a freqüències de fins a $20 kHz$.



El tema de les bobines sempre és delicat ja que al mercat hi ha una gran quantitat de bobines per fer filtres de xarxa, que treballen a unes freqüències de 50Hz amb harmònics de magnitud molt inferior a la ona fonamental. En el cas d'un convertidor les corrents de 10 kHz, 16kHz o fins a 20 kHz són molt importants i al utilitzar bobines sense estar preparades per aquestes freqüències pateixen sobrecalemtaments no per efecte Ohm sinó per pèrdues en el ferro. Així doncs han de ser bobines preparades per treballar amb convertidors.

Pel que fa als condensadors del filtre LC direm que són de valor 40 μ F i de tecnologia seca. Ja s'ha comentat que els condensadors electrolítics són molt més petits a igualtat de capacitat, però també s'ha dit que tenen polaritat. En cas de connectar un condensador electrolític en polaritat inversa aquest explota. Com que el filtre de sortida ha de suportar tant tensions positives com negatives (ones sinusoidals) s'ha hagut de col·locar aquest tipus de condensadors.

A la Fig. F.8. es pot veure un detall del filtre LC de sortida

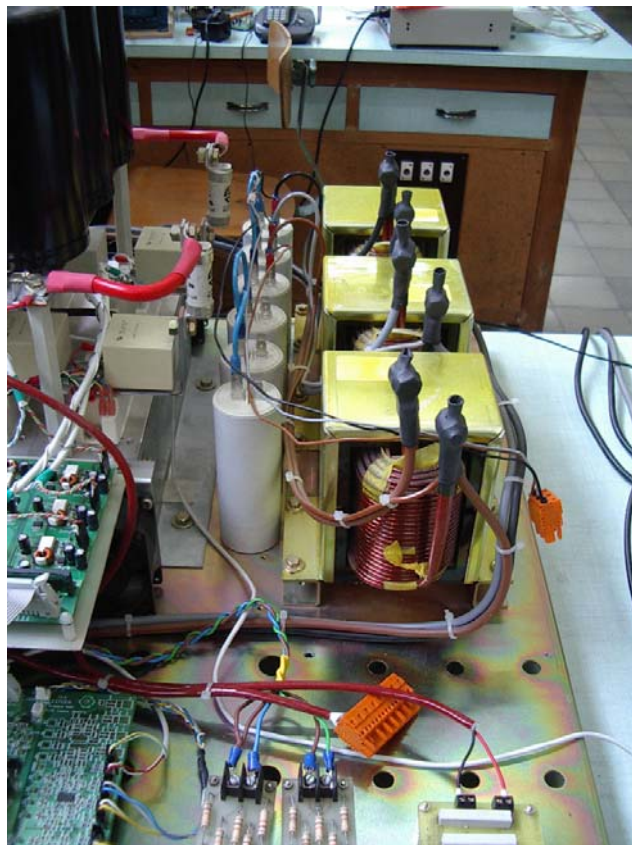


Fig. F.8. Filtre LC de sortida



F.5. Sondes

Ja s'ha comentat que per poder realitzar el control és menester adquirir 9 senyals de potència, 5 tensions i 4 corrents. L'element que adquireix aquestes senyals i les adapta per que puguin ser llegides per la placa de control (ADCs) se l'anomena *sonda*.

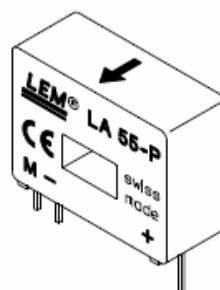
Hi ha moltes tècniques per poder adquirir senyals de tensió i corrent, com poden ser divisors resistius o transformadors en el cas de la tensió, o shunts en el cas de la corrent, però cal tenir en compte uns quants punts.

Un punt important a decidir en el disseny d'un convertidor és el tema de l'aïllament. Quan parlem d'aïllament en un convertidor ens referim a que no hi pot haver cap connexió elèctrica entre la part de potència i la part del control. D'aquesta manera qualsevol incidència que provoqués una sobretensió o sobrecorrent en la potència no podria afectar a la part de control destruint-la. En el cas d'un convertidor aïllat no sembla molt problemàtic que si es destrueix la potència es destrueixi també el control ja que no té res per controlar, però en casos industrials on hi ha tota una fàbrica amb centenars de convertidors units entre si per busos de comunicacions és molt crític que una falla a un d'ells pugui destruir tots els controls de tots els convertidors de la fàbrica. Normalment és l'aïllament, ja sigui galbànic o optoelectrònic, el que diferencia els preus entre convertidors d'iguals potències i aparentment iguals prestacions.

En el nostre projecte s'ha decidit tenir aïllament total entre la part del control i la part de potència. Ja hi ha aïllament en l'actuació del control sobre la potència, en els Drivers, on hi ha aïllament galbànic a les fonts commutades i optoaïllament en els xips d'HP. Així doncs s'ha optat per fer el sensat de les senyals amb sondes d'efecte Hall. Aquestes sondes utilitzen l'efecte Hall per sensar corrent inclús en contínua, i aïllen les senyals a sensar de les lectures.

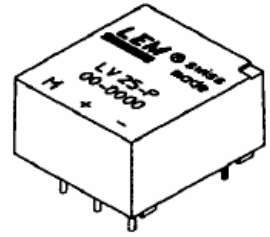
F.5.1. Sonda de corrent

La sonda de corrent amida la corrent que circula pel seu interior i en genera una senyal de corrent proporcional a l'entrada. Aquestes dues senyals estan completament aïllades entre si. Aquesta sonda és de la cas LEM i té un rang de lectura de 50A amb una sortida de ± 25 mA a fons d'escala.



F.5.2. Sonda de tensió

Pel que fa a la sonda de tensió el funcionament és similar a la de corrent. La sonda llegeix corrent en el seu primari, però aquest corrent està limitat a 10 mA. Els 10 mA els hi hem de proporcionar nosaltres mitjançant la caiguda de tensió en unes resistències. Caldrà doncs col·locar la resistència adient per fer passar 10 mA en el màxim de tensió que nosaltres vulguem amidar. En el cas de la plataforma de potència es vol llegir les tensions d'entrada i sortida i la tensió de Bus. La sortida de la sonda és de ± 25 mA a fons d'escala.



L'inconvenient principal que presenten aquestes sondes és que necessiten una alimentació de $+15/-15$ V, que s'haurà de generar amb una font externa.

Les sondes de tensió s'han muntat en una placa que s'ha insolat en el laboratori. Aquesta placa conté totes les resistències de caiguda de tensió així com els connectors i les mateixes sondes. D'aquesta manera centralitzem tot el censat de tensió en una sola zona.

Una imatge de la citada placa es presenta a la Fig. F.9.

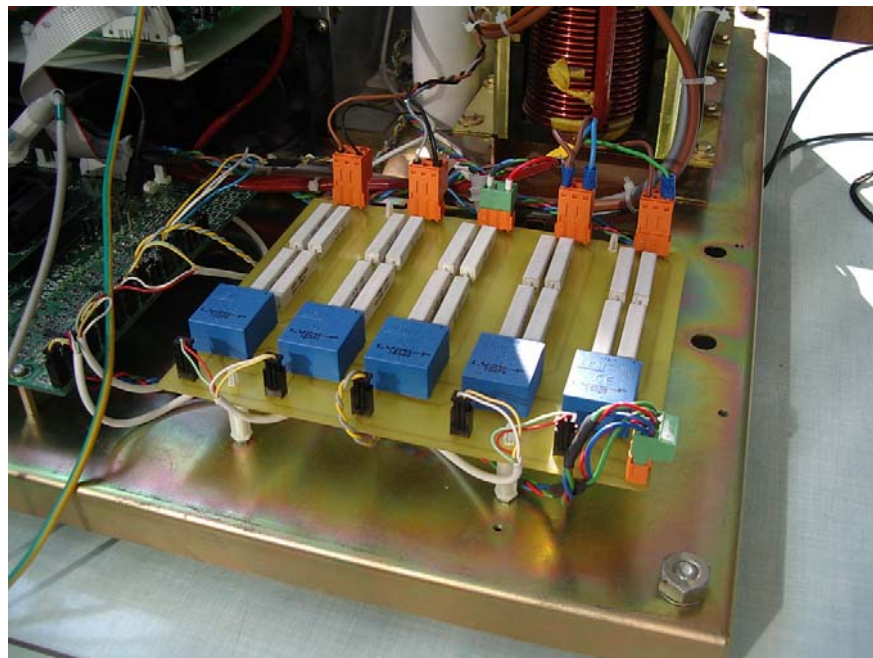


Fig. F.9. Placa de sondes de tensió

Un detall de les sondes de corrent en el muntatge final es pot veure a la Fig. F.10.



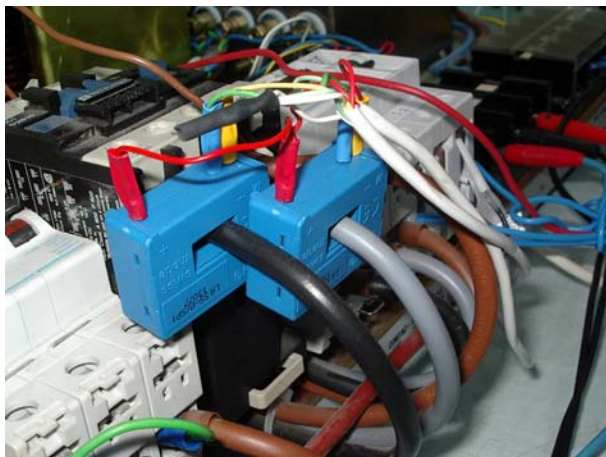


Fig. F.10. Detall de les sondes de corrent d'entrada

F.5.3. La font

S'ha vist en l'apartat anterior que les sondes necessiten una alimentació regulada de $\pm 15V$. De la mateixa manera tot el control, placa Megadeth i drivers SQIM, necessiten una alimentació rectificada de 24V. Així doncs s'ha instal·lat una font lineal que ens proporciona aquests nivells de tensions. La font es basa en un transformador de 230V/24V, un pont rectificador de díodes amb uns condensadors per allisar l'arriestat i uns reguladors lineals que proporcionen els $\pm 15V$. La font ha estat construïda en projectes anteriors del departament i s'ha instal·lat en la plataforma com mostra la Fig. F.11.

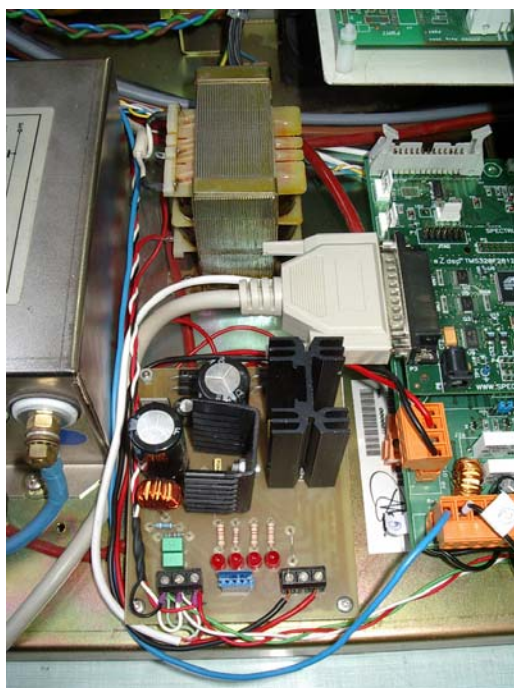


Fig. F.11. Instal·lació de la font de tensió



F.5.4. Sistema de control

En el capítol 8 de la memòria s'ha descrit amb tot detall el procés de disseny i construcció dels dos elements de control, la placa Megadeth i els drivers SQIM. En aquest capítol es farà una descripció del muntatge sobre la plataforma de potència així com l'aclariment d'alguns punts de la fabricació de les mateixes.

Megadeth

La placa de control es pot veure en detall a la Fig. F.12.

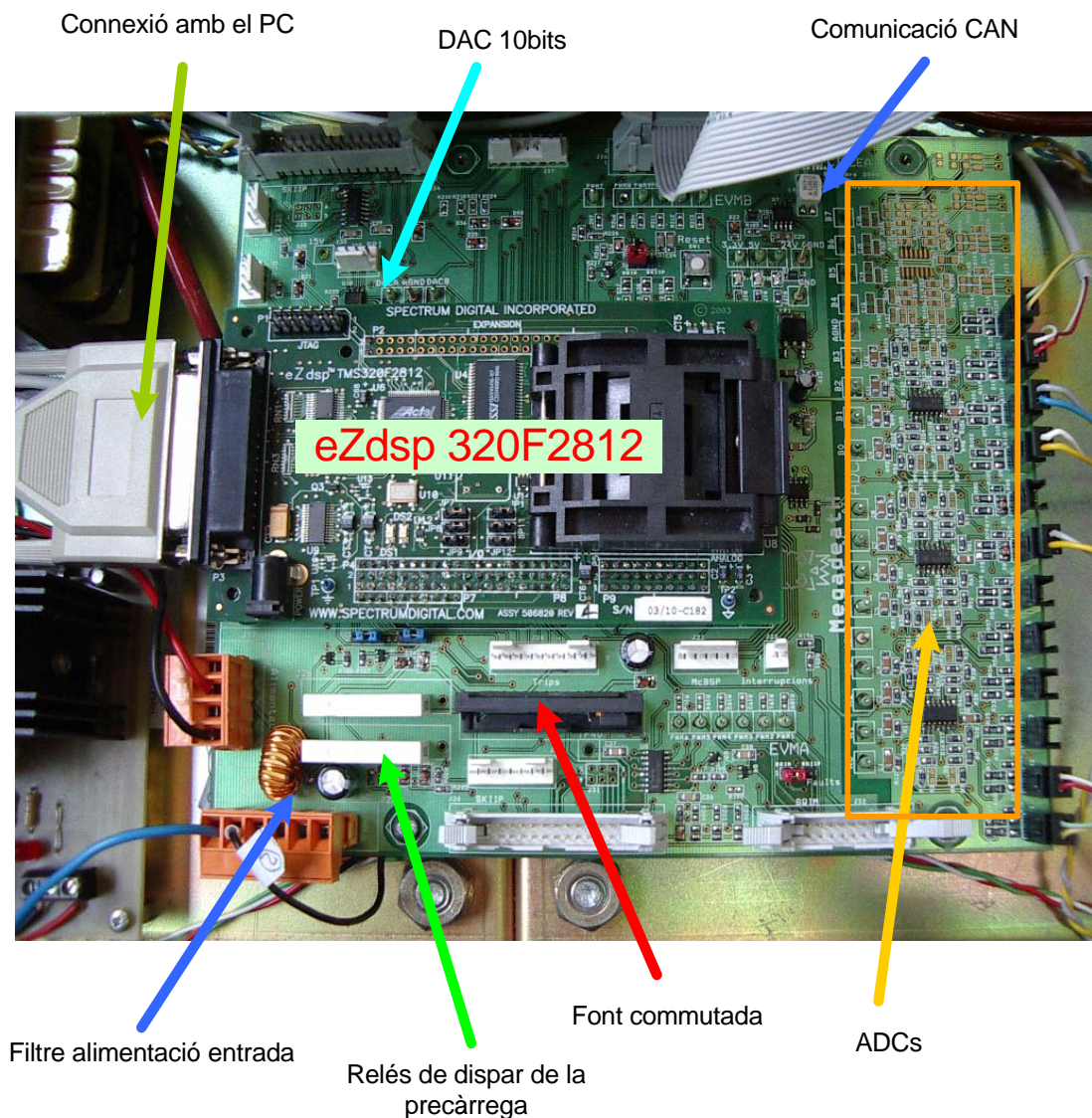


Fig. F.12. Detall de la placa de control Megadeth



Com que la descripció de totes les funcions ja s'ha fet en el capítol 8 de la memòria aquí només posarem una descripció de les principals característiques de la Megadeth:

- ✚ Alimentació única a 24V amb filtre d'entrada LC, generant els 5V i els 3.3V
- ✚ 2 relés de 230V per poder accionar contactors de precàrrega.
- ✚ 2 EVM, cadascun dels quals pot accionar 7 PWM a partir d'uns drivers SQIM o d'un mòdul de potència SKIIP.
- ✚ 6 unitats de captura de senyals d'encoder.
- ✚ 16 entrades digitals configurables Bipolars $\pm 10V$ o unipolars 0/10V, totes diferencials, amb un mostreig màxim de 500 kHz cada canal.
- ✚ Comunicacions:
 - 1 SIP
 - 2 SCI
 - 2 mòduls de comunicació paral·lela de 16 bits
 - 1 mòdul CAN
 - 1 mòdul de comunicació de bus McBSP
- ✚ 1 DAC de 10 bits i dos canals

El mòdul central de la placa de control és el processador. En aquest cas s'ha fet servir el DSP de la casa Texas Instruments model TMS320F2812, el qual serà descrit posteriorment en l'annex I. Aquest processador està integrat a una placa comercial que també incorpora una memòria RAM i una interfície JTAG per poder programar el DSP així com debugar en temps real els programes. Aquesta placa comercial de la casa Spectrum Digital s'anomena eZdsp i en podem veure un detall a la Fig. F.13.

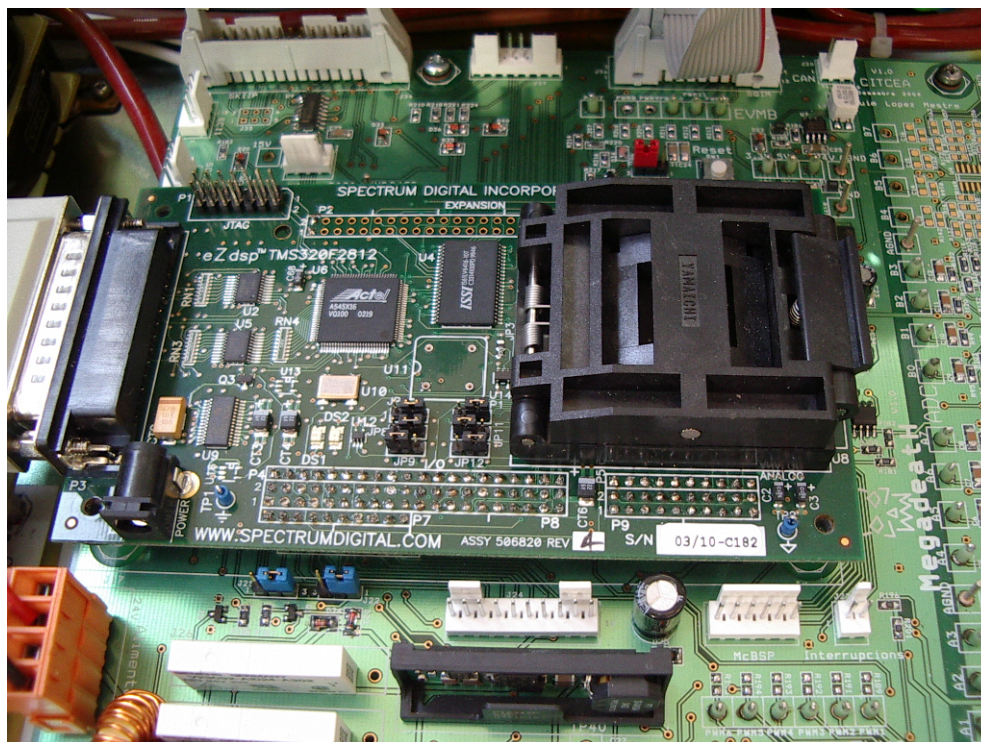


Fig. F.13. eZdsp 320F2812



Un detall més específic del DSP se'ns presenta a la Fig. F.14.



Fig. F.14. DSP TMP320F2812

El muntatge definitiu de la placa de control Megadeth i els dos drivers SQIM es pot veure a la Fig. F.15.

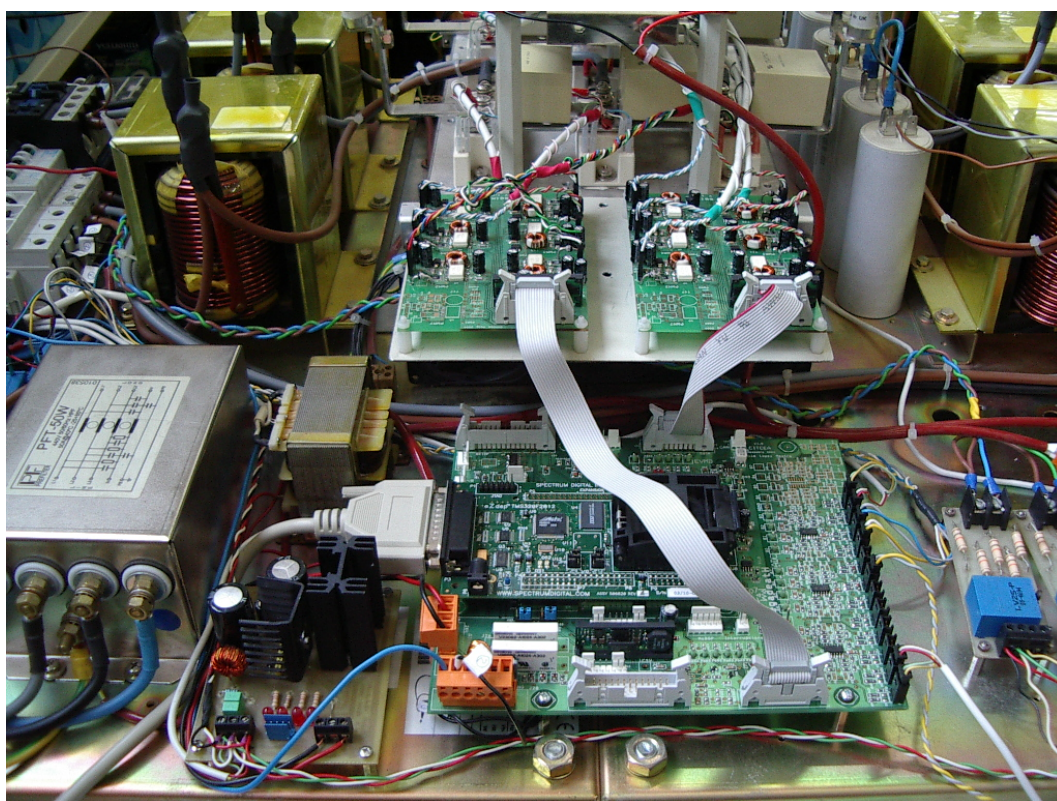


Fig. F.15. Muntatge definitiu del mòdul de control



G. Bancada d'assajos

Com s'ha descrit en el capítol 4 de la memòria, per tal de dur a terme els assajos als convertidors de freqüència ens era menester un generador de sots, l'objectiu d'aquest projecte, i una bancada d'assaig. La bancada d'assaig ha de complir l'esquema plantejat a la Fig. G.1.

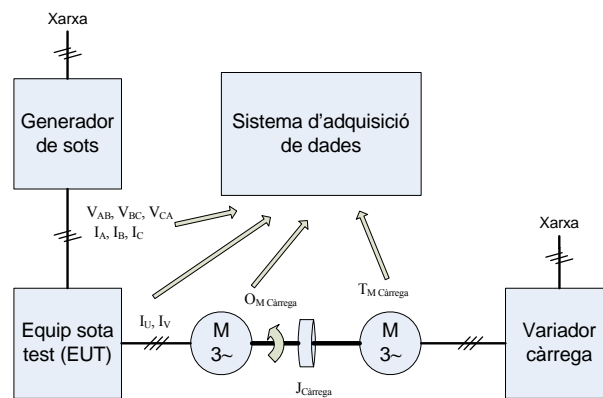


Fig. G.1. Esquema de la bancada d'assaig

Es pot veure una vista de la bancada construïda a la Fig. G.2.



Fig. G.2. Vista de la bancada d'assaig



G.1. Bancada de motors

La bancada de motors consta de dos motors d'inducció de 2.2 kW acoblats entre si amb una inèrcia variable entre ells. D'aquests motors un farà de motor acoblat al equip sota test, i l'altre farà de fre acoblat a un convertidor de freqüència de control vectorial que simularà diferents tipus de càrrega. Unint els dos grups, motor i càrrega més inèrcia, s'ha col·locat un transductor de parell que ens permetrà saber el parell real en el moment del sot. La velocitat real l'obtindrem d'un dels encoders que estan acoblats als eixos del motor.

A la Fig. G.3. es pot veure una imatge de la bancada de motors.

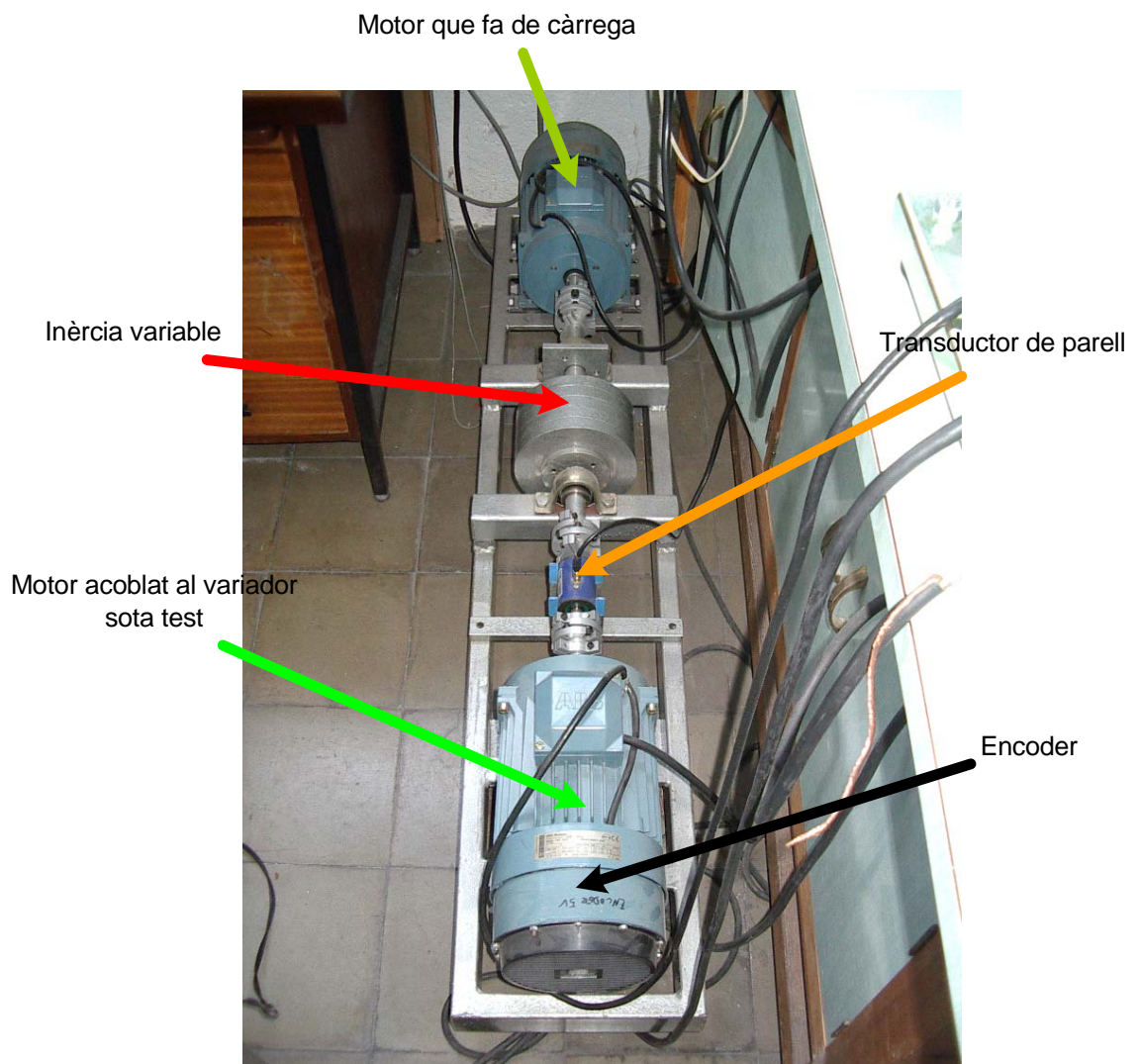


Fig. G.3. Bancada de motors



G.2. Convertidor de càrrega

El convertidor de freqüència que fa de càrrega és un convertidor de control vectorial amb unes possibilitats de configuració molt altes que ens permeten simular una gran varietat de càrregues que es poden presentar a la indústria. L'aparell en qüestió és de la casa Eurotherm i n'és el model 620 Vector Link.



Les càrregues que s'han configurat i que ens permet fer el convertidor són:

- ❖ Parell constant
- ❖ Parell proporcional a la velocitat
- ❖ Parell proporcional a la velocitat al quadrat
- ❖ Potència constant

La tria de la càrrega es fa mitjançant dues entrades digitals i dues entrades analògiques que té el convertidor. S'ha construït una consola de control de la càrrega que actua sobre aquestes entrades. Aquesta consola es pot veure a la Fig. G.4.

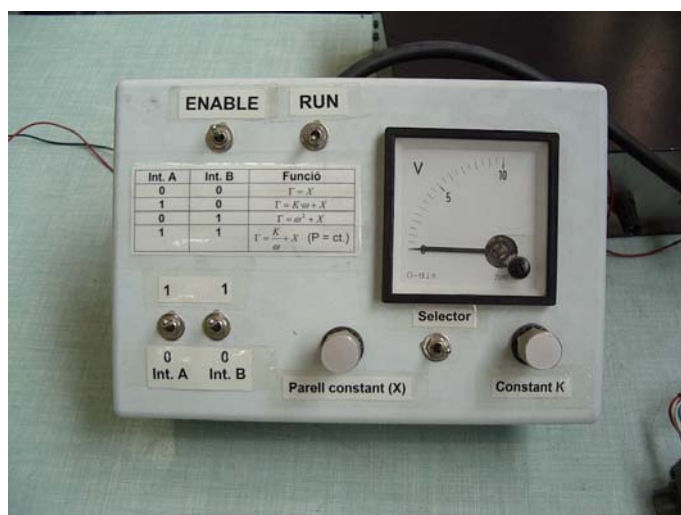


Fig. G.4. Consola de control de la càrrega



G.3. Resistència de frenat

És evident que en tot moment el convertidor que fa de càrrega estarà frenant i per tant estarà recuperant energia de la bancada de motors. Aquesta energia serà emmagatzemada en el bus de contínua i això farà que la seva tensió s'elevi. Els convertidors de freqüència disposen d'un mecanisme de seguretat en el qual al passar la tensió del bus d'un valor determinat el descarreguen sobre una resistència mitjançant un IGBT. Aquesta resistència pot ser interna o externa. Si és interna el convertidor no podrà frenar gaire ja que vindrà limitat per la temperatura que la resistència pugui assolir. En el cas que el convertidor s'utilitzi com a fre els fabricants permeten que la resistència sigui externa complint uns paràmetres. En aquest cas s'ha col·locat una resistència externa de potència ja que s'hauran de cremar com a màxim 2.2 kW, provinents de l'equip que estiguem testejant. La resistència utilitzada és de 50Ω i 3 kW de potència tèrmica. Com que aquesta resistència està situada dins la bancada de proves s'ha hagut de posar un sistema de refrigeració forçada. Es pot apreciar a la Fig. G.5.



Fig. G.5. Resistència de frenat



G.4. Transductor de parell

El transductor de parell és aquell element que ens proporciona una senyal elèctrica proporcional a un parell mecànic que es produeix entre dos eixos acoblats a ell.

El transductor de parell requereix una alimentació de 5V i dona una senyal de l'ordre dels mV a la seva sortida. D'aquesta manera s'ha hagut de dissenyar i construir una font d'alimentació lineal de 230V a 5V, així com un amplificador d'instrumentació per poder obtenir unes lectures de tensió acceptables.

L'esquema de l'amplificador d'instrumentació es pot veure a la Fig. G.6.

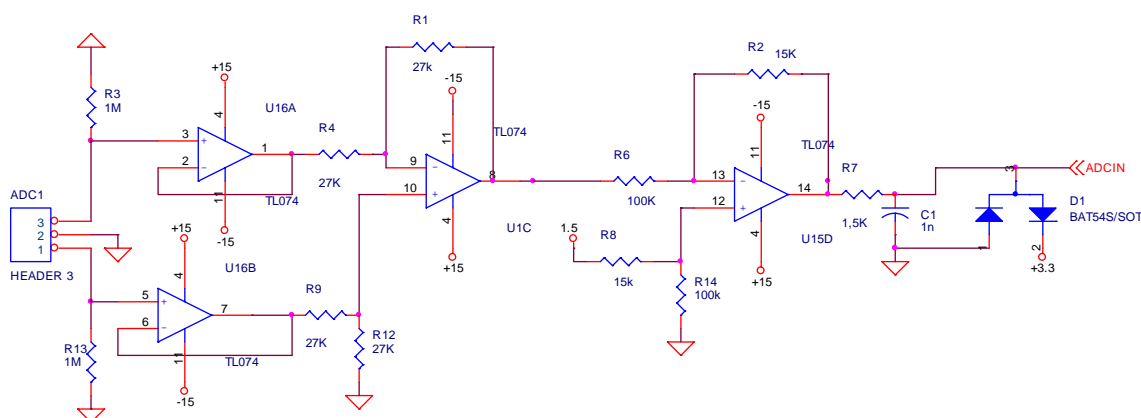


Fig. G.6. Esquema de l'amplificador d'instrumentació

Tant la font com l'amplificador s'han muntat sobre una placa milpunts, es pot veure a la Fig. G.7.



Fig. G.7. Detall de la font d'alimentació i l'amplificador d'instrumentació



G.5. Sistema d'adquisició i banc d'assajos

El sistema d'adquisició de totes les dades necessàries per els assajos es fa mitjançant una tarja d'adquisició de dades i un PC. La tarja d'adquisició de dades és de la casa PC-LabCard, i n'és el model PCL-818. Consta de 40 entrades analògiques amb guany variable. El conversor analògic – digital adquireix a una velocitat de 100kHz.

La placa, fora del PC, es pot veure a la Fig. G.8.

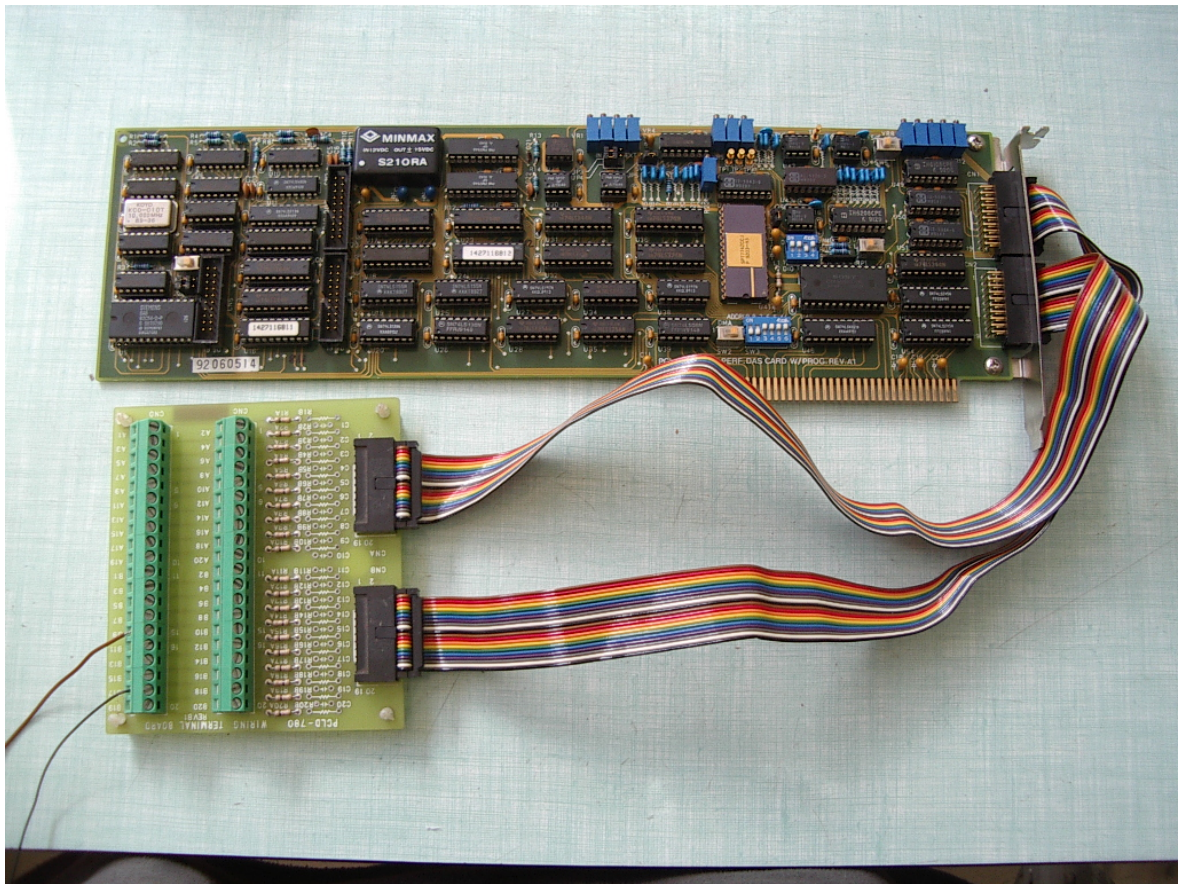


Fig. G.8. Tarja d'adquisició de dades



G.5.1. Banc d'assajos

El banc d'assajos està format per una plataforma metàl·lica on es situa el convertidor que es vol assajar i on hi ha les bornes i les proteccions necessàries per fer el connexionat de l'aparell. Podem veure'n un detall a la Fig. G.9.



Fig. G.9. Banc d'assaig

En el cas d'aquesta imatge hi ha un model de convertidor de Telemecanique connectat per fer els assajos.

L'alimentació de la xarxa que proporciona energia a tots els elements de potència, els dos convertidors i el generador de sots, està comanat per unes proteccions de magnetotèrmic i contactor amb el seu bolet d'emergència per poder desconnectar tot el sistema en cas d'accident.

L'aspecte de la bancada en la posició de treball de l'operari es pot veure a la Fig. G.10.



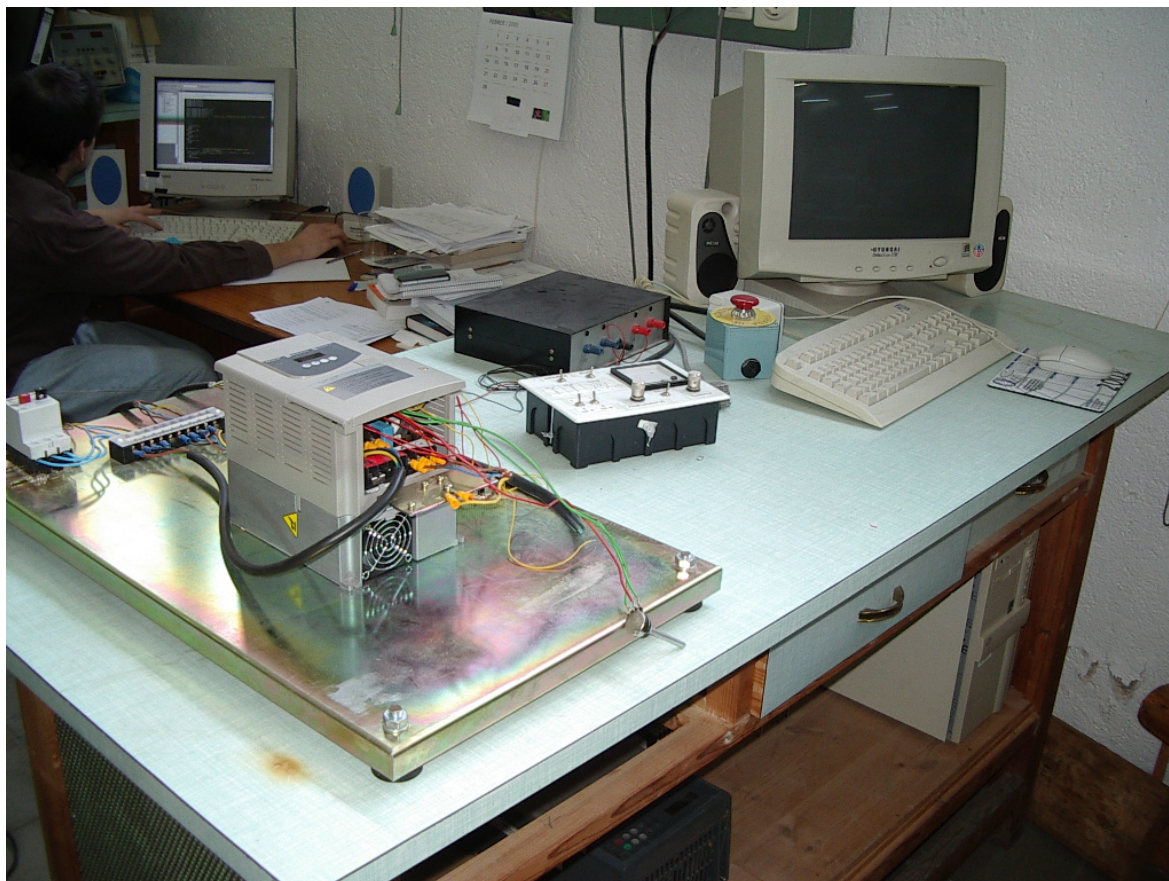


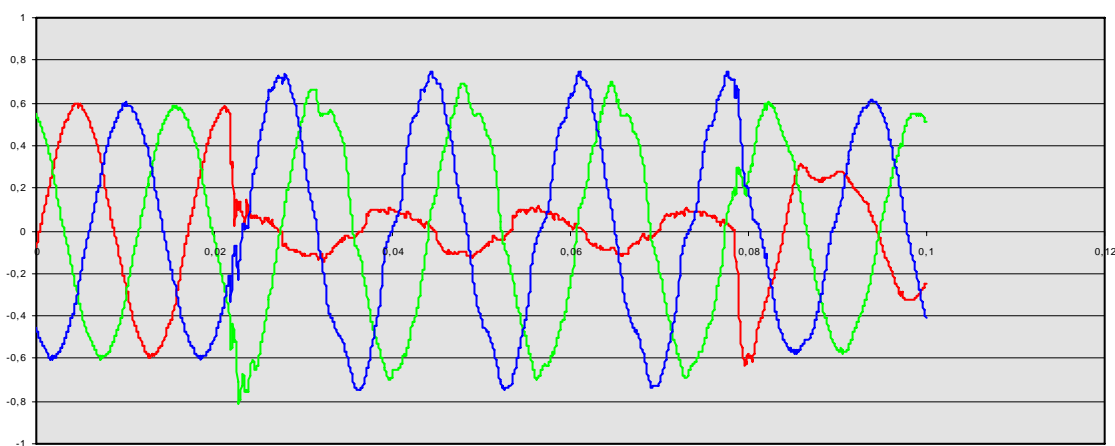
Fig. G.10. Bancada d'assaig



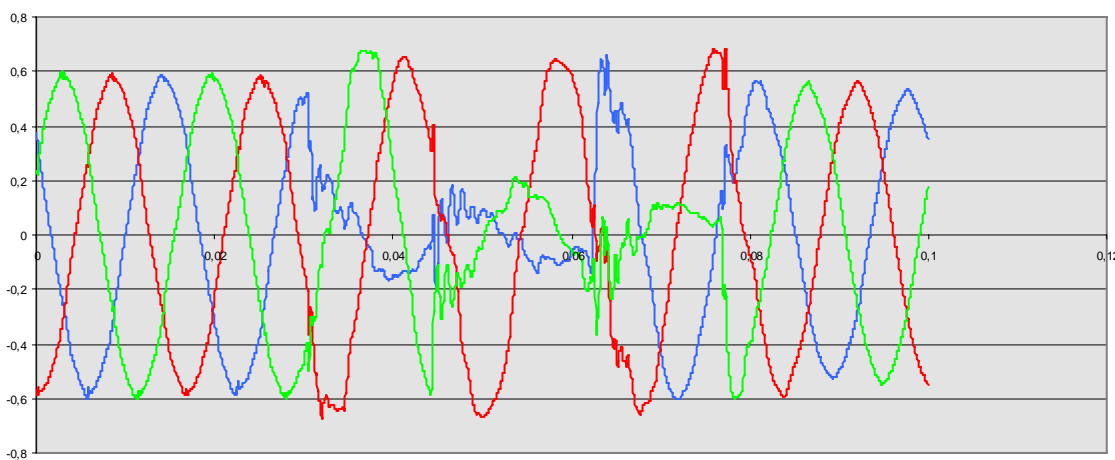
H. Recull de Sots de tensió reals

En aquest apartat s'ha volgut fer un petit recull de sots de tensió reals que s'han registrat en diverses xarxes de distribució de diferents països. El recull és fet per l'organisme IEEE i està en format Excel. Aquí es presenten les gràfiques extrems d'aquestes dades i totes són d'una duració de 100ms.

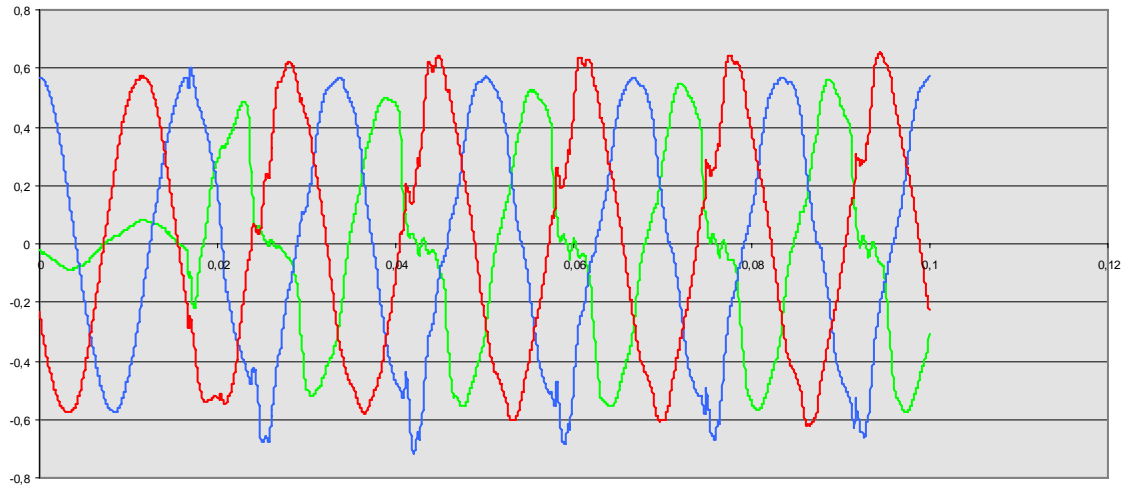
Sot tipus D amb la tensió vermella pràcticament nul·la. Cal observar que les tensions blava i verda han augmentat de valor:



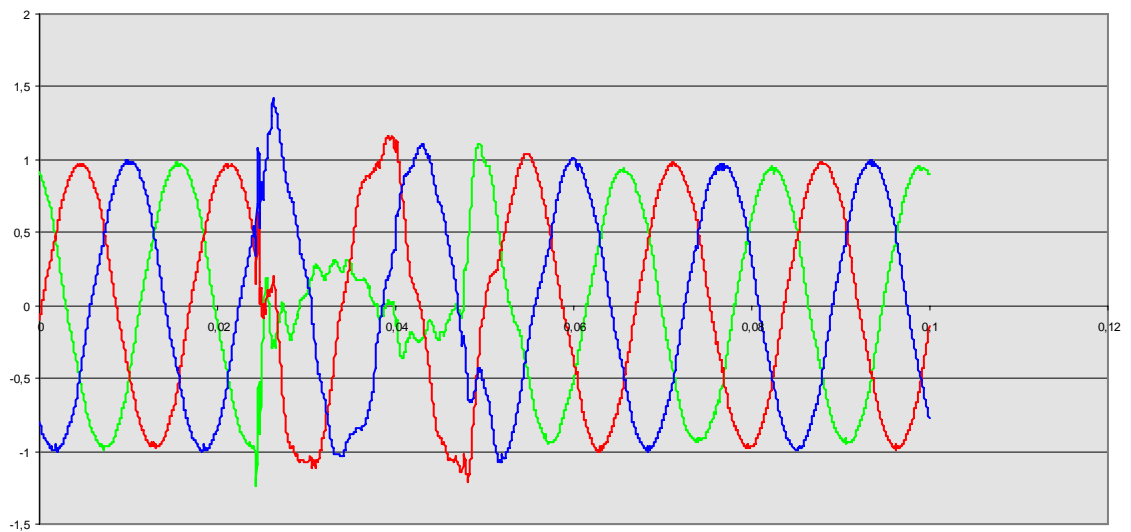
Sot tipus D en un principi amb posterior fallada de la fase verda i recuperació de la blava:



Sot desequilibrat on sembla que la fase afectada sigui la verda imposant pertorbacions a les altres dues:



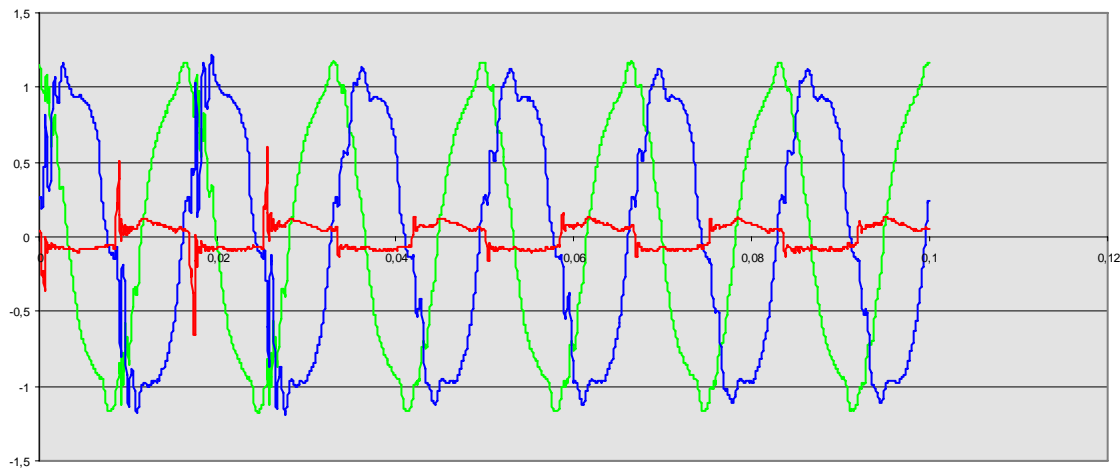
Sot tipus D amb sobretensions a l'inici del transitori:



D'aquest darrer sot farem esment en el transitori de recuperació a la situació normal. En aquest transitori es pot observar com les ones de tensió presenten uns harmònics molt similars als que apareixen en el mateix transitori dels sots generats pel nostre Back to Back.



Sot tipus D amb una forta distorsió de llarga durada:



Com s'ha pogut comprovar la gran majoria de sots són del tipus D ja que aquest reflecteix una fallada en una fase. També cal destacar que la duració dels sots normalment no deixa que les tensions s'estabilitzin produint uns sots totalment distorsionats. Mitjançant l'estratègia de control que s'ha implementat es pot donar el contingut d'harmònics que es desitgi en el moment del sot per tal de produir uns transitoris com els mostrats en els gràfics.

Un punt important i molt interessant és que amb les bases de dades de l'IEEE al estar en format Excel es pot extreure les tensions $d - q$ en cada instant del sot. Mitjançant una taula amb els valors d'aquestes tensions, dins el DSP, es pot reproduir exactament cada sot amb el Back to Back. D'aquesta manera es poden fer assajos reproduint situacions conegudes.





I. El DSP

I.1. Microcontroladors i DSP

DSP és l'acrònim de Digital Signal Processor, són processadors dissenyats específicament per fer càlculs en temps real de tractament digital de la senyal, des de implementació de filtres digitals, transformades de Fourier, tractament de imatge i so, etc... Els DSPs tenen aproximadament el mateix nivell d'integració i la mateixa freqüència de rellotge que un microprocessador genèric, fins i tot moltes vegades els microprocessadors avantatgen els DSPs, però els DSP efectuen les tasques de tractament digital de senyal dues o tres vegades més ràpid, ja que la seva arquitectura està optimitzada per a realitzar aquest tipus de tasques.

- Unitat aritmètica (CPU): l'operació més comú en el processat digital de senyals és el càlcul d'una suma de productes ($S = \sum a_i \cdot b_i$). L'operació aritmètica més complexa en la tècnica digital és precisament la multiplicació. Els microprocessadors genèrics no incorporen un element tant complex com un multiplicador ja que en les aplicacions usuals aquesta operació representa un tant per cent molt baix sobre el total d'operacions. Però en el tractament digital del senyal la multiplicació és una tasca fonamental, i el multiplicador és un element bàsic d'un DSP capaç de realitzar aquesta operació en un cicle. Per incrementar encara més la velocitat el processador incorpora diferents unitats aritmètiques de manera que puguin realitzar diferents operacions simultàniament: els DSPs típics tenen un multiplicador i un acumulador que permeten multiplicar i sumar en un sol cicle, a més de registres de desplaçament per preparar les dades sense penalitzar en el temps. Cal destacar que de la mateixa manera que una multiplicació es realitza en un cicle una divisió pot implicar més de 100 cicles. És per aquesta raó que sempre que es pugui en un DSP serà preferible multiplicar per una inversa que dividir el nombre en qüestió.



- **Joc d'instruccions:** freqüències de mostreig fixes requereixen tenir un cicle d'instrucció regular. En microprocessadors RISC (joc d'instruccions reduït) aquesta regularitat s'aconsegueix restringint les instruccions; en els DSP s'aconsegueix incrementant la velocitat del hardware en aquelles instruccions complexes bàsiques com les multiplicacions.
- **Arquitectura:** oposada a l'arquitectura de Von Neumann utilitzada per molts microprocessadors, tots els DSP es basen en una arquitectura de Harvard amb busos de programa i dades independents. I alguns DSP encara han millorat aquesta estructura amb tres busos: un de programa i dos de dades, que permet llegir la instrucció i dos operands simultàniament.
- **Adreçament:** moltes vegades la lògica de generació d'adreces és més lenta que la realització de la operació aritmètica en sí. Com a regla general, els DSP tenen una unitat aritmètica especial per generar adreces gràcies a la qual aquest fet no suposa un temps addicional.
- **Memòria:** els programes de DSP, gràcies a instruccions especialitzades i l'arquitectura del mateix, acostumen a tenir una estructura senzilla i són, per tant, molt curts comparats amb un mateix programa per a un microprocessador genèric. Això permetrà guardar-los en una memòria no volàtil integrada en el mateix xip, a més de decrementar el temps de transferència del programa. També integren a més memòria RAM per les dades usades durant el programa.

Totes aquestes diferències tant de hardware com de software estan pensades per optimitzar al màxim el tractament de senyals, però també és aplicable per al control on hi ha una sèrie de necessitats comuns, com són el d'una freqüència de mostreig fixa, càlculs en temps real per respondre ràpidament a variacions del sistema a controlar, així com el filtrat, que enlloc de fer-lo analògicament, com és usual actualment, es pot fer digitalment sense perjudicar la rutina



principal de control. També les multiplicacions són una operació normal en els programes de control: coeficients de realimentació, càlcul de PID...

I.2. DSP TMS320F2812

I.2.1. Introducció

El DSP emprat forma part de la família de processadors digitals de senyal de Texas Instruments. La gamma de DSP que ofereix es divideix en tres plataformes: C6000, C5000 i C2000. Les dues primeres plataformes estan orientades al món del tractament digital d'imatges i àudio, aplicacions de telefonia i comunicacions mentre que la plataforma C2000 està dissenyada per ser utilitzada en aplicacions de control de motors. Això fa que les diferències entre els DSP de diferents plataformes sigui molt notable, tan a nivell d'arquitectura interna, cal recordar que es un DSP de coma fixa, com a nivell de perifèrics que incorpora, com ara sortides PWM, conversors analògics digital d'altres prestacions, mòduls CAN, port sèrie síncron i asíncron, i una gran quantitat d'interrupcions associades a aquests perifèrics.

Les característiques principals d'aquest DSP són:

Temps de cicle (150MHz)	6.67 ns	Watchdog	Si
Memòria Single- Accés Ram (SARAM) (16 bits per paraula)	18K	DAC	16 canals de 12 bits
Memòria Flash	128K	CPU timers de 32 Bits	3
Boot ROM	Si	Ports de comunicacions	SPI
OTP ROM (1K X 16)			2 SCI
Interfície de memòria externa	Si		CAN
Event Managers	2: EVA, EVB		McBSP
GP Timers	4	Entrades/sortides digitals	56
PWM	16	Interrupcions externes	3
Unitats Capture/QEP	6/2	Tensions d'alimentació	Core (1.8V) I/O 3.3V



I.2.2. Arquitectura

L'arquitectura del DSP es basa en una arquitectura de Harvard on el bus de programa i el de dades són diferents. Això permetrà fer accessos simultanis a memòria i a programa en un mateix cicle. A més hi ha un tercer espai de memòria d'entrades/sortides accessible a través del bus extern. Els perifèrics també tenen el seu propi bus, tot i que aquest està mapejat en unes posicions concretes de la memòria: qualsevol accés a aquestes posicions accedirà directament al perifèric associat. Cal destacar que la família dels 28xx és la primera de la gamma dels 2000 que treballa amb 32bits. Les dades són de 32 bits mentre que les adreces i el programa són de 16bits.

Es pot veure un esquema de l'arquitectura a la Fig. I.1.

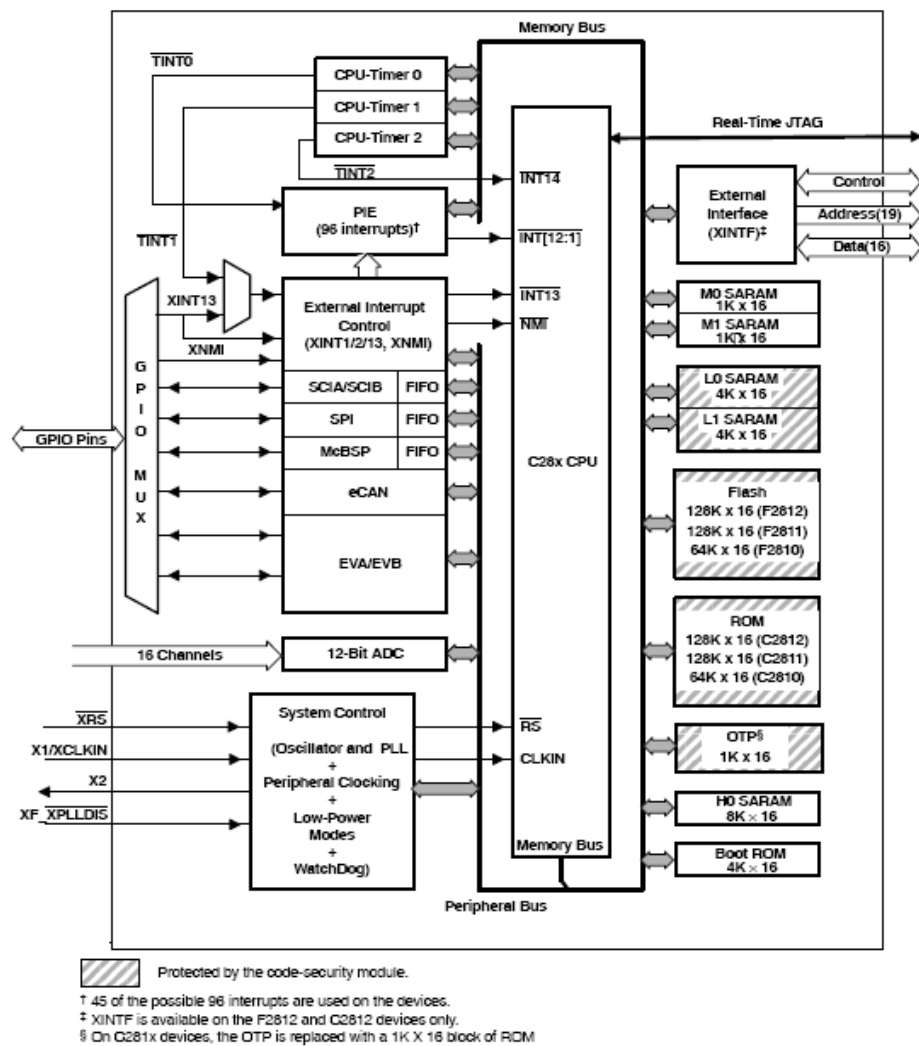


Fig. I.1. Arquitectura del DSP



I.2.3. La memòria

Aquest DSP disposa de dos tipus de memòria:

La Flash EEPROM que és una memòria no volàtil que ofereix la possibilitat de poder-la gravar tants cops com calgui en la targeta final. A més els algorismes de programació els executa la pròpia CPU del DSP evitant així la necessitat d'una màquina d'estat dedicada. Es disposa de 128K de memòria Flash. Cal comentar que el temps de cicle descrit de 150 MHz està definit per treballar amb el programa dins la memòria RAM. Si s'executa el programa des de la memòria Flash aquest temps de cicle augmenta.

També es disposa de memòria de tipus RAM, el Single-acces RAM, és una memòria a la que només s'hi pot accedir un cop per cicle (o lectura o escriptura), i es disposa de 18K paraules de 16 bits.

Tot i que no és intern del DSP comentarem que en la placa eZdsp es disposa d'una memòria Ram externa de 64K de paraules de 16 bits.

I.2.4. La CPU

La unitat central de procés es pot dividir en tres grans blocs:

La unitat aritmètico-lògica central de 64 bits: agafa dues paraules de la memòria i els hi pot fer operacions aritmètiques i booleanes. El resultat s'aboca en l'acumulador de 32 bits des del qual es pot guardar la part alta i la baixa per separat, en memòria. Disposa a més de registres de xifrat de les dades tant de l'entrada com de la sortida.

Multiplicador: realitza productes de 32x32 bits en complement a dos obtenint-se un resultat de 64 bits. Aquest multiplicador és capaç de fer el producte en un cicle i serà molt útil per fer els càlculs del control així com filtres digitals, correlacions...

Unitat aritmètica de registres auxiliars: aquesta unitat genera adreces de la memòria de dades quan s'utilitza adreçatge indirecte per accedir a aquesta. Està formada per 8 registres auxiliars que es poden carregar amb valors de 16 bits directament amb una instrucció.



Control del programa

El DSP treballa amb una pipeline de vuit nivells que és gestionada per la lògica de control del programa que també descodifica les instruccions i guarda els estats de les operacions. D'altra banda hi ha instruccions de l'ensamblador que permetran controlar per software el flux del programa com són instruccions de salt, condicionals o no, resets, i interrupcions.

Cal comentar que la nova família dels 28xx ha estat creada amb el concepte d'accelerar el temps de cicle i el tractament en 32 bits.

Els 32 bits permeten elevar la precisió dels càlculs que es feien en relació a famílies com ara els 2400 no al doble sinó 65536 vegades més.

Pel que fa a la velocitat aquesta família processa quatre vegades més ràpid que la família dels 2400.

Tot aquest avenç ha estat centrat a facilitar la feina del programador sense haver-se de preocupar de la precisió o de l'optimització del codi, portant doncs a una programació total en C en comptes de l'ensamblador que era necessari en famílies anteriors.



J. Valoració econòmica

La valoració econòmica o pressupost, s'ha dividit en dos apartats principals, el cost del prototip i el cost d'investigació i desenvolupament.

J.1. Cost del prototip

En aquest apartat es considerarà el cost total de la construcció del prototip, incloent-hi també el cost de mà d'obra. Pel que fa a les parts que componen el Back – to Back que són plaques de control, com els Drivers o la placa Megadeth, al portar a insular les plaques hi ha un mínim d'unitats que es poden demanar, així tot i que només s'utilitza una placa de control i dos Drivers hi ha el cost reflectit del nombre mínim d'unitats.

J.1.1. Drivers

Pel que fa als Drivers s'ha ajuntat el cost de les dues plaques:

DESCRIPCIÓ	QUANTITAT	COST UNI.	COST TOT.
Components electrònics			101€
Plaques (insolar)	9	35€	320€
Mà d'obra de muntatge	12 h	24€	288€
Total			709€

J.1.2. Placa de potència Megadeth

La placa de control es contabilitza com una sola placa:

DESCRIPCIÓ	QUANTITAT	COST UNI.	COST TOT.
Components electrònics			262€
Plaques (insolar)	6	56€	339€
Mà d'obra de muntatge	20 h	24€	480€
Total			1081€



J.1.3. Sondes de mesura

DESCRIPCIÓ	QUANTITAT	COST UNI.	COST TOT.
Sondes Hall Tensió LV-25P	5	53€	265€
Sondes Hall Corrent LA-55/SP1	4	25€	100€
Resistències per sondes			10€
Placa fibra per sondes			20€
Mà d'obra de muntatge	10h	24€	240€
Total			635€

J.1.4. Hardware de potència

DESCRIPCIÓ	QUANTITAT	COST UNI.	COST TOT.
Condensadors de 3300 µF	6	50€	300€
IGBT SKM 100GB 123D	6	60€	360€
Inductàncies 1.5 mH	6	200€	1200€
Condensadors 40 µF	3	20€	60€
Filtre PFT	1	110€	110€
Proteccions i bornes			70€
Perfil alumini i ventiladors			90€
Cable			30€
Mà d'obra de muntatge	50h	24€	1200€
Total			3420€

J.1.5. Cost total del prototip

DESCRIPCIÓ	COST TOT.
Drivers	709€
Megadeth	1081€
Sondes de mesura	635€
Hardware de potència	3420€
Total	5845€



J.2. Cost d'investigació i desenvolupament

Als costos de construcció del prototip s'han d'afegir els costos del temps dedicat a la investigació, al disseny i a la programació del control. També s'han de tenir en compte els costos associats a les eines necessàries per portar a terme aquestes tasques, com seria l'ordinador o el software de programació. Als costos d'aquestes eines es contempla una amortització contant una vida útil de 3 anys i una durada del projecte de 9 mesos.

J.2.1. Costos de suport informàtic

DESCRIPCIÓ	PREU UNIT.	Preu amortitzat
Ordinador	1200€	300€
Matlab	1800€	450€
PSim	1000€	250€
Total		1000€

A aquests subtotals se'ls ha d'afegir el cost d'investigació i desenvolupament que ha representat el projecte, tot i que és molt difícil fer una estimació de les hores dedicades a la realització del projecte, així com a la divisió entre ells.

J.2.2. Costos de personal

Hores	DESCRIPCIÓ	Preu hora	Total
300	Disseny	48€	14400€
250	Investigació	48€	12000€
170	Programació	30€	5100€
100	Redacció	20€	2000€
	Total		33500€

J.2.3. Costos totals de desenvolupament i disseny

DESCRIPCIÓ	Total
Costos suport informàtic	1000€
Cost investigació i desenvolupament	33500€
Total	34500€



J.3. Cost total del projecte

Aquest és el pressupost total del projecte realitzat, sumant les diferents partides concretades en els punts anteriors:

DESCRIPCIÓ	Total
Cost prototip	5845€
Costos investigació i desenvolupament	34500€
Subtotal	45068€

Imprevistos (3%)	1352€
Total	46420€

IVA (16%)	7427€
Total (IVA inclòs)	53847€

El cost total de la realització del projecte del generador de sots trifàsics és de 46.864€, del qual la major part del cost és degut als costos d'investigació i desenvolupament.

L'amortització de l'investigació i el desenvolupament d'aquest projecte s'amortitza al 100% en aquest prototipus, ja que només se'n fabricarà un. Si es fabriquessin més unitats del generador de sots aquests costos s'haurien de repartir entre totes les unitats fabricades.



K. Assaig de sots

K.1. Corbes de susceptibilitat

Les corbes de susceptibilitat o corbes de tolerància de tensió divideixen, en el pla magnitud de sot – temps de sot, la zona a on l'equip supera el sot i la zona a on el convertidor no supera el sot. Aquesta forma de representar és molt similar a altres corbes estandarditzades, com ara la CBEMA o la ITIC, i és utilitzada en algunes propostes d'assaig de sots publicades [3] [4] [5] [6] [7]. El mètode d'assaig proposat i les corbes que s'obtenen son compatibles amb els estàndards IEC-61000-4 -11 [1] i IEC 61800-3 [2].

Amb l'objectiu d'adequar aquestes corbes als diferents processos industrials en els que es poden trobar instal·lats els convertidors de freqüència es proposa la construcció de dos corbes de susceptibilitat que es relacionen amb dos grans categories de processos industrials. Aquestes corbes es diferencien en el criteri utilitzat per decidir quan el convertidor supera (ride – through) o no supera (trip) el sot, i és un criteri en funció de les necessitats de cada tipus de procés. D'aquesta manera les corbes permeten valorar la idoneïtat de cada convertidor en funció del procés en el qual s'ha d'integrar

K.1.1. Corba de susceptibilitat energètica

El criteri emprat per decidir si el convertidor supera un sot de tensió és si l'equip deixa d'alimentar el motor com a conseqüència de la pertorbació. Per tal de poder construir aquesta corba les funcions de ride-through disponibles en el software del convertidor han d'estar deshabilitades.

Aquesta corba indica la tolerància a sots de tensió que presenta un convertidor tenint en compte únicament aspectes energètics. Es relaciona amb aquells processos que no admeten ni la més mínima variació de parell o de velocitat del motor alimentat pel convertidor i per tan la inhibició d'aquest és inacceptable. Com a exemple hi ha aquells processos contínues en els que una pèrdua de les característiques dinàmiques del motor porta a reiniciar tot el procés amb els costos que implica tan de materials com de temps.



K.1.2. Corba de susceptibilitat del control

El criteri emprat per decidir si el convertidor no supera un sot és si l'equip no es capaç de mantenir les variables dinàmiques del motor controlades dintre d'uns marges preestablerts durant el sot, i rearrancar-lo de manera automàtica i controlada quan la pertorbació ha finalitzat. Són acceptables variacions elevades de la velocitat, fins i tot arribar a velocitat zero, sempre i quan el convertidor pugui portar el motor, a la situació anterior al sot, de manera controlada quan aquest desapareix.

Per mantenir el control del motor mentre dura el sot el control del convertidor ha de seguir calculant els algorismes de control de velocitat i parell, realitzant les adquisicions de corrent i tensions necessàries, mantenint les comunicacions amb els elements de comandament i diagnòstic, disparant els interruptors de potència, etc. La capacitat de superar el sot dependrà doncs de què el control del convertidor es mantingui en funcionament, de les característiques del software implementat i de la programació realitzada per l'usuari. La corba de susceptibilitat del control és indicativa doncs d'aquesta capacitat.

Aquesta corba està relacionada amb aquells processos en els que es permet una alteració temporal de les característiques dinàmiques o fins i tot la aturada controlada del motor alimentat pel convertidor. Esta format per la majoria dels processos industrials, com ara els controls de temperatura amb inèrcies tèrmiques molt grans, estacions remotes de bombeig, escales automàtiques, etc. Però també hi ha alguns processos continus com ara en indústries tèxtils i papereres a on una aturada breu es acceptable sempre que es controlin bé els motors perquè no es produeixin trencaments en el material en procés.

K.2. Variables d'assaig

A continuació es llisten els principals paràmetres que afecten a la resposta d'un convertidor de freqüència quan apareix un sot de tensió. Aquests paràmetres es variaran durant l'assaig per construir les corbes de susceptibilitat de l'equip.



K.2.1. Tipus de sot

Per a la realització dels assaigs es consideraran les següents característiques del sot:

- Duració
- Profunditat de cada una de les fases
- Desfasament entre fases (phase angle jump)
- Punt d'inici del sot

Es farà servir la classificació ja comentada en el capítol 3 proposada per Math H.J. [8] que s'obté tenint en compte els diferents tipus de fallada que es poden produir en els transformadors aigües avall. D'aquesta manera apareixen set tipus de sot, tot i que els més comuns són del tipus A, sot equilibrat, i dels tipus C i D, sots desequilibrats i amb salt de fase.

K.2.2. Càrrega

En els assaigs s'especificarà la càrrega del motor, aquest pot estar en buit, amb càrrega nominal o carregat amb valors entremitjos (50%, 25%, ..)

Per altra banda és important el tipus de càrrega arrossegada pel motor, caracteritzada per la relació parell resistent – velocitat. Generalment es pot classificar en tres grans grups:

- Parell constant
- Parell variable
- Potència constant

K.2.3. Velocitat en l'instant del sot

Conjuntament amb el parell defineix la potència necessària per el motor en l'instant del sot. La variació doncs d'aquest valor influirà en el comportament del convertidor, encara que generalment es programarà la velocitat nominal del motor.



K.2.4. Inèrcia de la càrrega

Algunes tècniques de ride – through implementades en els convertidors fan servir la energia emmagatzemada en el procés per alimentar el bus de contínua quan apareix un sot. Així doncs s'assajaran amb diferents inèrcies per comprovar el comportament d'aquesta prestació.

Per altra banda l'inèrcia té efecte sobre les variacions de velocitat del motor i es per tant d'interès si es vol saber la pèrdua de les característiques dinàmiques del motor associades a un sot.

K.2.5. Programació de les funcions ride – through del convertidor

La programació d'aquestes funcions és vital per construir la corba de susceptibilitat del control. La majoria de convertidors disposen en l'actualitat de funcions com ara el rearranc automàtic, rearranc en vol, recuperació d'energia procedent del procés, tensió límit d'alarma de subtensió, etc...

Abans de la realització dels assaigs s'haurà d'estudiar les funcions disponibles en cada convertidor i programar-les adequadament.

K.3. Variables de mesura

Sempre que sigui possible es proposa registrar els valors de les següents variables:

- Intensitats de fase de l'equip: I_a , I_b , I_c .
- Tensions de fase de l'equip: V_{ab} , V_{bc} , V_{ca} .
- Intensitats de sortida de l'equip (alimentació del motor): I_u , I_v , I_w
- Velocitat de gir del motor: W_{mec}
- Parell en l'eix del motor: T_{mec}
- Tensió de bus de contínua del convertidor: V_{bus}
- Estat del relé d'alarma de subtensió del convertidor
- Tensió d'alimentació del control del convertidor



En l'anterior llistat de paràmetres hi ha els més importants de cara a l'anàlisi del comportament del convertidor durant els assaigs. No obstant és possible que existeixin altres paràmetres d'interès com per exemple quan s'alimenti el motor a través d'un contactor, pel que es recomana tenir disponibles entrades lliures en l'equip d'adquisició de dades.

K.4. Equip generador de sots de tensió

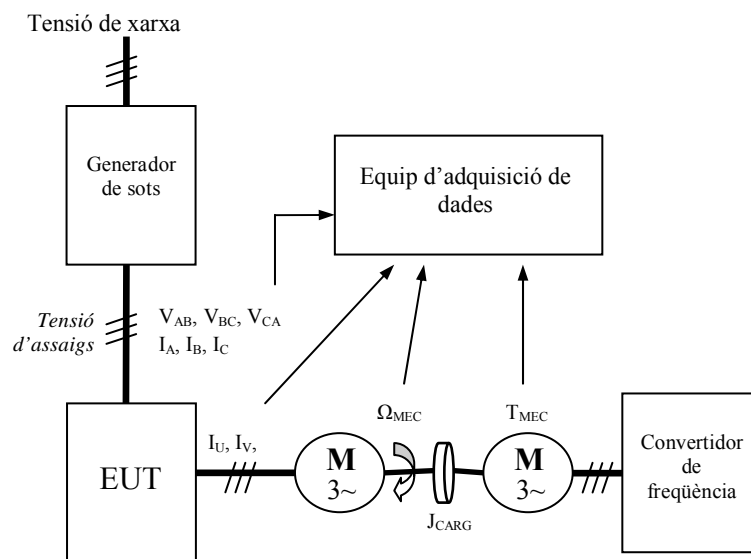
El generador de sots de tensió és l'equip utilitzar per crear les pertorbacions durant els assaigs. Ha de ser capaç de generar sots de tensió amb una magnitud i una duració controlades. El rang de tensions de sortida ha de ser programable de 0 a 110 % per a cada una de les fases així com la possibilitat de crear un desfasament entre elles. Ha de ser compatible amb la norma IEC 61000-4-11.

Com a característiques més importants d'aquesta normativa diu que el sobrepuigs màxim de la tensió de sortida amb una càrrega resistiva de 100Ω ha de ser del 5%, mentre que el temps de creixement de la tensió de sortida durant un canvi abrupte de tensió en la càrrega esmentada anteriorment ha de ser de entre 1 i 5 μs . També comenta que no s'ha de limitar el corrent del generador de sots.

K.5. Banc d'assaigs

A més del generador de sots, per a la realització de l'assaig és necessari modificar les variables d'assaig abans esmentades i poder registrar les variables de mesura. Es proposa un banc d'assaigs com el de la figura:





El banc està compost pels següents equips principals:

- **Generador de sots:** Aquest equip amb les especificacions abans anomenades és l'encarregat de generar sots del tipus, magnitud i duració desitjats.
- **Equip d'adquisició de dades:** És l'equip a on es registraran les variables d'interès llistades en l'apartat de variables de mesura.
- **Convertidor sota assaig (EUT):** L'equip a assajar.
- **Controlador de càrrega:** El comportament de la càrrega ha de ser programable, bàsicament com a càrrega de parell constant, parell variable o potència constant, encara que es poden assajar altres tipus de càrrega programant un perfil parell velocitat. Es recomana usar un convertidor de freqüència amb control vectorial per la seva elevada precisió i règim dinàmic. Per modificar l'inèrcia del motor es recomana acoplar diferents volants d'inèrcia en l'eix del motor, variant d'aquesta manera l'inèrcia del motor quan és accionat pel convertidor.



K.6. Procediment d'assaig

L'assaig de cada convertidor consta de les següents fases.

K.6.1. Estudi previ del convertidor

És necessari estudiar en profunditat el convertidor abans d'iniciar els assajos per a poder obtenir resultats comparables, per qüestions de seguretat i finalment per a detectar la necessitat de realitzar assajos addicionals als proposats amb la finalitat de determinar amb la major exactitud possible les corbes de tolerància de tensió. L'estudi previ deu concentrar-se en les següents parts:

- Estudi del maquinari: l'enginyer d'assaig analitzarà els elements que conformen al convertidor per a detectar, d'aquesta manera, aquells més susceptibles a un sot i decidir si és necessari realitzar algun assaig addicional.
- Estudi de les proteccions del convertidor: aquest estudi és necessari per a operar amb seguretat el convertidor de freqüència. Deuen complir-se les indicacions de seguretat establertes pel fabricant. Per altre banda les proteccions del convertidor defineixen en gran manera el comportament del convertidor quan apareix un sot en l'alimentació. L'enginyer d'assaig pot definir doncs assaigs addicionals segons les proteccions incorporades en el convertidor.
- Estudi del muntatge i cablejat del convertidor: es deuen estudiar i complir-se els consells de muntatge i cablejat especificats pel fabricant del convertidor. Si es requereix, s'instal·laran elements externs com contactors, interruptors diferencials, filtres, cables apantallats, etc.
- Estudi de les funcions del convertidor: l'enginyer d'assaig ha de programar el convertidor perquè funcioni correctament utilitzant el software proporcionat pel fabricant o directament a través de paràmetres. S'han d'estudiar amb especial atenció les funcions de ride – through software integrades en el convertidor per a poder determinar la corba de susceptibilitat del control.



K.6.2. Connexió del convertidor a la bancada d'assaigs

Abans de realitzar qualsevol connexió l'enginyer d'assaig ha de verificar que la tensió de xarxa que alimenta al generador de tensions, segons l'esquema descrit, està desconnectada, amb l'interruptor de tall en la posició corresponent. Verificar també que el generador de sots està apagat, que el convertidor que acciona el motor de càrrega està també apagat, i que els motors estan en repòs. Una vegada realitzades aquestes verificacions, es procedirà al conexionat del convertidor d'assaig (EUT) tenint en compte les indicacions de cablejat proporcionades pel fabricant: tipus de cable (longitud, secció, pantalla), connexió del cable de terra, traçat del cable de potència i del de senyal, tipus de connectors, etc

K.6.3. Programació del convertidor

Una vegada connectat el convertidor al generador de sots i el motor de càrrega s'han de programar aquells paràmetres necessaris del mateix. Per a la realització dels assajos s'ha de tenir en compte:

- Freqüència màxima de sortida: establir aquest paràmetre com a mínim un 10% superior a la freqüència nominal per si el convertidor és capaç de controlar la velocitat o compensar el lliscament.
- Màxima tensió de sortida: la tensió nominal del motor
- Temps d'acceleració/desacceleració: són importants només quan s'assagen algunes funcions ride – through. En els altres casos es pot posar el temps que es desitgi.
- “Boost” de parell: s'ajustarà segons el tipus de càrrega a assajar.
- Parell de sobrecàrrega: es programarà aquest paràmetre al màxim permès pel convertidor, sempre que sigui acceptable pel motor. Es deuen introduir també les dades de placa del motor i, en els convertidors que tinguin aquesta funció, s'activarà l'auto-tuning del convertidor que obtindrà les característiques del motor. Una vegada introduïts aquests paràmetres es programarà al convertidor per a dur al motor a les condicions nominals de velocitat quan rebi una comanda, ja sigui digital, analògica o través del port de comunicacions.



K.6.4. Verificar el banc d'assaigs

Una vegada finalitzats els passos previs s'està en condicions d'iniciar els assajos al convertidor (EUT). Verificar abans de continuar el correcte funcionament del generador de sots, del convertidor de control del parell de càrrega, l'acoblament correcte dels elements mecànics i el sistema d'adquisició de dades.

K.6.5. Determinació de la corba de susceptibilitat energètica

Propòsit: definir l'àrea del pla magnitud – tensió de buit en la qual el convertidor inhibeix el seu funcionament a causa de un sot de tensió. Es considerarà que el convertidor no supera el sot aplicat quan deixi d'alimentar al motor. Per a decidir quan això succeeix es poden visualitzar els corrents de sortida del convertidor o els senyals d'error del propi convertidor. Es seguirà el següent procés:

1. Verificar en primer lloc que totes les funcions de ride – through estan desactivades i que el llindar de la protecció de subtensió del bus de contínua està en el valor per defecte.
2. Apagar el convertidor que controla el parell de càrrega per a realitzar un assaig en buit i donar la ordre al EUT de dur al motor fins la velocitat la nominal.
3. Quan el motor arribi a la velocitat nominal aplicar un sot tipus A amb tensió residual 0% fins que el convertidor s'inhibeixi o desconnecti. Anotar el temps des de l'inici del sot fins que els corrents de sortida del convertidor s'anul·lin o el convertidor activi la sortida d'error (t_1 -punt 1).
4. Connectar el convertidor que controla el parell de càrrega perquè realitzi el parell nominal del motor i donar l'ordre al EUT de dur al motor fins a la velocitat nominal.
5. Quan el motor arribi a la velocitat nominal aplicar un sot tipus A amb tensió residual 0% fins que el convertidor s'inhibeixi o desconnecti. Anotar el temps des de l'inici del sot fins que els corrents de sortida del convertidor s'anul·lin o el convertidor activi la sortida d'error (t_2 -punt 2).
6. Amb l'objectiu de determinar la càrrega més desfavorable es poden repetir els passos 4 i 5 variant el tipus de càrrega (càrrega de parell constant, parell variable o potència constant). El temps t_2 final serà el més petit dels obtinguts.



7. Connectar el convertidor que controla el parell de càrrega perquè realitzi el parell nominal del motor i donar l'ordre al EUT de dur al motor fins a la velocitat nominal.

8. Per a determinar la sensibilitat a l'arissat del convertidor se l'hi aplicarà un sot de tipus D, que produeix un arissat major que els sots de tipus A. Així doncs, quan el motor arribi a la velocitat nominal aplicar un sot tipus D amb tensions fase – neutre 0, 0.86, 0.86 (p.u.)⁽¹⁾ i un salt de fase igual a zero durant un temps de 1 minut.

8.1. Si el convertidor es desconnecta, augmentar la tensió residual de les dues fases, fins trobar la tensió més elevada a partir de la qual el convertidor es desconnecta. Anotar la tensió residual (V3) i el temps des de l'inici del sot fins que els corrents de sortida del convertidor s'anul·lin o el convertidor activi la sortida d'error (t_3 -punt 3).

8.2. Si el convertidor no es desconnecta, aplicar sots de tipus A i disminuir la tensió residual per sota del 0.86 fins trobar la tensió a partir de la qual el convertidor es desconnecta. Això es fa perquè les tensions més petites en sots de tipus D són les anomenades anteriorment⁽¹⁾. Anotar la tensió la residual (V3) i el temps des de l'inici del sot fins que els corrents de sortida del convertidor s'anul·lin o el convertidor activi la sortida d'error (t_3).

A partir d'aquestes dades és possible la construcció de la corba de susceptibilitat energètica del convertidor sota assaig (EUT).

⁽¹⁾ Aquest valor s'escull com el buit tipus D més desfavorable que es pot trobar en la xarxa segons es determina en [4] i [6].

K.6.6. Determinació de la corba de susceptibilitat del control

Propòsit: definir l'àrea del pla magnitud – durada del sot la qual el convertidor no és capaç de rearrancar automàticament, controlant les variables dinàmiques, quan desapareix el sot de tensió que ha causat la inhibició de l'equip. Es considerarà que el convertidor no supera el sot aplicat quan la tensió d'alimentació dels circuits de control baixi de la tensió nominal de funcionament. Per a decidir quan això succeeix es pot visualitzar la tensió d'alimentació dels circuits de control o algun senyal de sortida del mateix que indiqui el seu estat.

Es seguiran els següents passos:

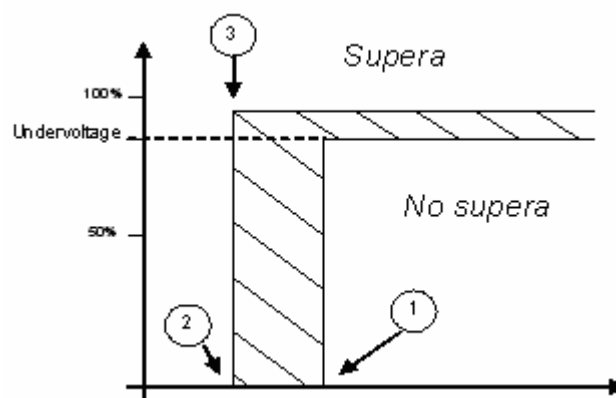
1. Activar, mitjançant el paràmetre corresponent, la funció ride – through que es desitja assajar.



2. Connectar el convertidor que controla el parell de càrrega perquè realitzi el parell nominal del motor i donar l'ordre al EUT de dur al motor fins a la velocitat nominal.
3. Quan el motor arribi a la velocitat nominal aplicar un sot tipus A amb tensió residual 0% fins que la tensió d'alimentació dels circuits de control caigui per sota del seu valor nominal. Anotar el temps des de l'inici del buit fins el control queda sense alimentació (t_1).
4. Repetir els passos 2 i 3 augmentant esglaonadament el valor de tensió residual, amb increments no superiors al 5%, fins trobar la tensió residual mínima a partir de la qual l'alimentació del control no descendeix per sota del seu valor nominal.
5. Repetir els passos 1 a 4 fins finalitzar els assaigs de les funcions ride – through.

K.7. Informe de l'assaig

Els resultats obtinguts en els assajos es representaran en el pla tensió residual – durada de sot mitjançant dues corbes de tolerància de tensió, una representant la susceptibilitat energètica i altra la susceptibilitat del control. Els punts d'aquestes corbes separen les zones del pla en les quals el convertidor supera o no supera el sot, seguint els criteris definits per a cadascuna de les corbes. La corba de susceptibilitat energètica estarà formada en realitat per dues corbes que separen una zona on el convertidor supera sempre el sot, una altra on el convertidor no supera mai el sot, i una zona intermèdia on, d'acord amb estat del convertidor abans del sot, superarà en alguns casos el sot. Aquesta corba es pot construir a partir dels tres punts trobats en l'assaig tal com es mostra en la figura següent, a on es representa a l'eix horitzontal el temps i en el vertical la magnitud del sot.



La corba de susceptibilitat del control es formarà a partir dels punts obtinguts segons el procediment d'assaig. Addicionalment en l'informe del convertidor sota assaig es pot afegir el qüestionari sobre el maquinari de l'equip, així com els resultats dels assaig en forma tabular, a on s'indiqui el tipus de sot realitzat, les tensions de fase aplicades durant el sot, la durada i el resultat, indicant si el convertidor supera el sot o no. En l'últim cas s'anotarà el temps transcorregut des de l'inici del sot fins la fallada del convertidor i s'indicarà quina ha estat aquesta fallada (subtensió, sobrecorrent, pèrdua de tensió en el control, etc.). S'anotaran també les condicions de l'assaig: tipus de càrrega, parell i velocitat en l'instant del sot, inèrcia de la càrrega i funció ride – through activada.

K.8. Referències

- [1] IEC 61000-4-11: *Electromagnetic compatibility (EMC) Part 4-11: Testing and measurement techniques – Voltage dips, short interruptions and voltage variations immunity tests.*
- [2] IEC 61800-3: *Accionamientos eléctricos de potencia de velocidad variable. Parte 3: norma de producto relativa a CEM incluyendo métodos de ensayo específicos .*
- [3] SEMI F42: *Test method for semiconductor processing equipment voltage sag immunity*
- [4] Math H. J. Bollen, L.D. Zhang, “Analysis of voltage tolerance of AC adjustable-speed drives for three phase balanced and unbalanced sags” *IEEE Transactions on Industry Applications*, Vol.36, no.3, May/June 2000, pp.904-910.
- [5] Kurt Stockman, Frederik D’hulster, Kevin Verhaege, Jan Desmet, Ronnie Belmans, “Voltage dip immunity test set-up for induction motor drives” *11th International symposium on power electronics, Novi Sad, Yugoslavia, 2001*
- [6] Kurt Stockman, Frederik D’hulster, Kevin Verhaege, Marcel Didden, Ronnie Belmans, “Ride-through of adjustable speed drives during voltage dips” *Electronic Power Systems Research*, nº 66, 2003, pp. 49-58
- [7] A.K. Keus, R. Abrahams, J.M. van Coller, R.G. Koch, “Analysis of voltage dip (sag) testing results of a 15kW PWM adjustable speed drive (ASD)” *IEMDC’99*
- [8] Math H. J. Bollen, 1999, “Understanding power quality problems. Voltage sags and interruptions” *Wiley-IEEE Press*



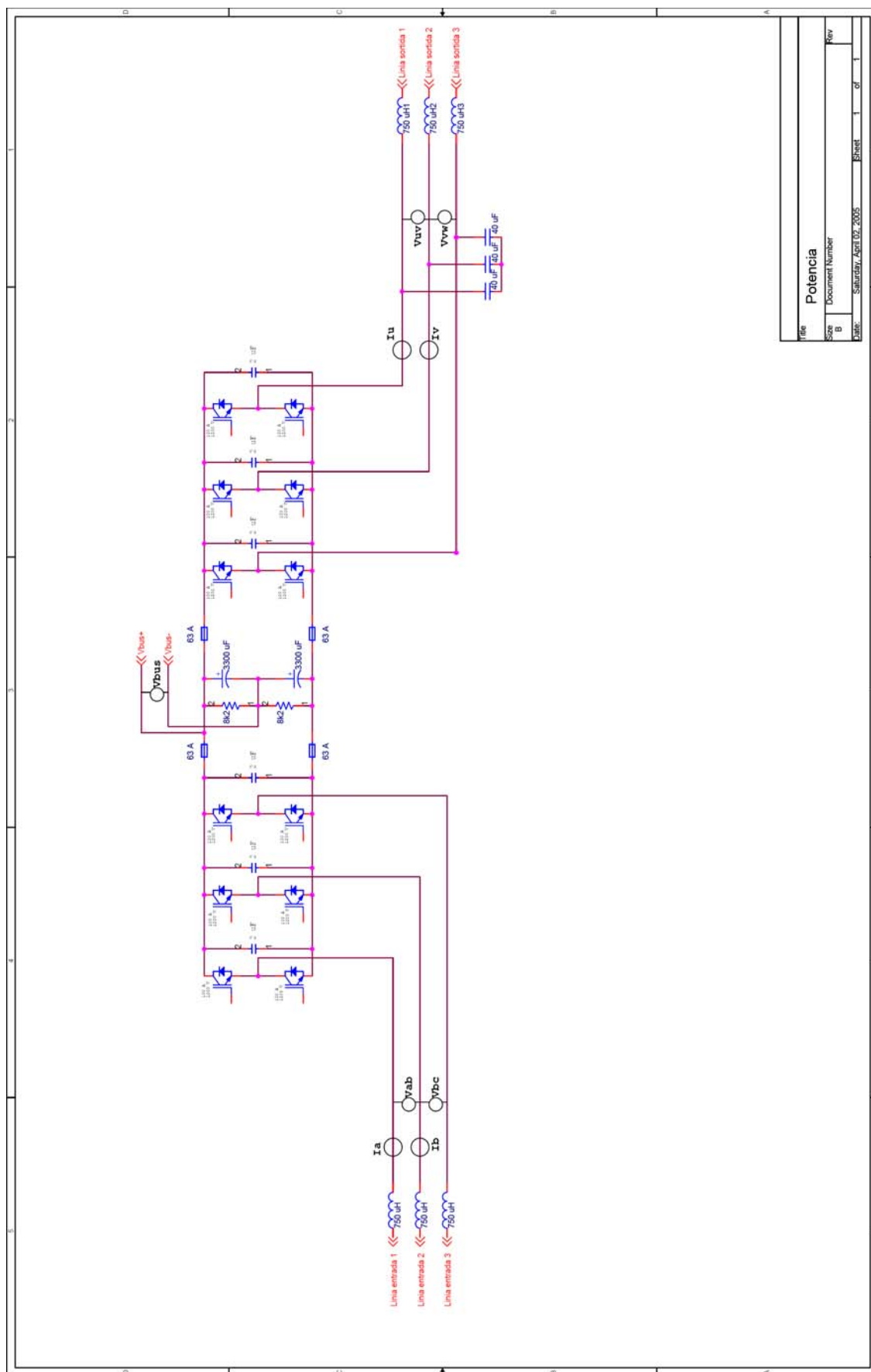
L. Esquemes elèctrics

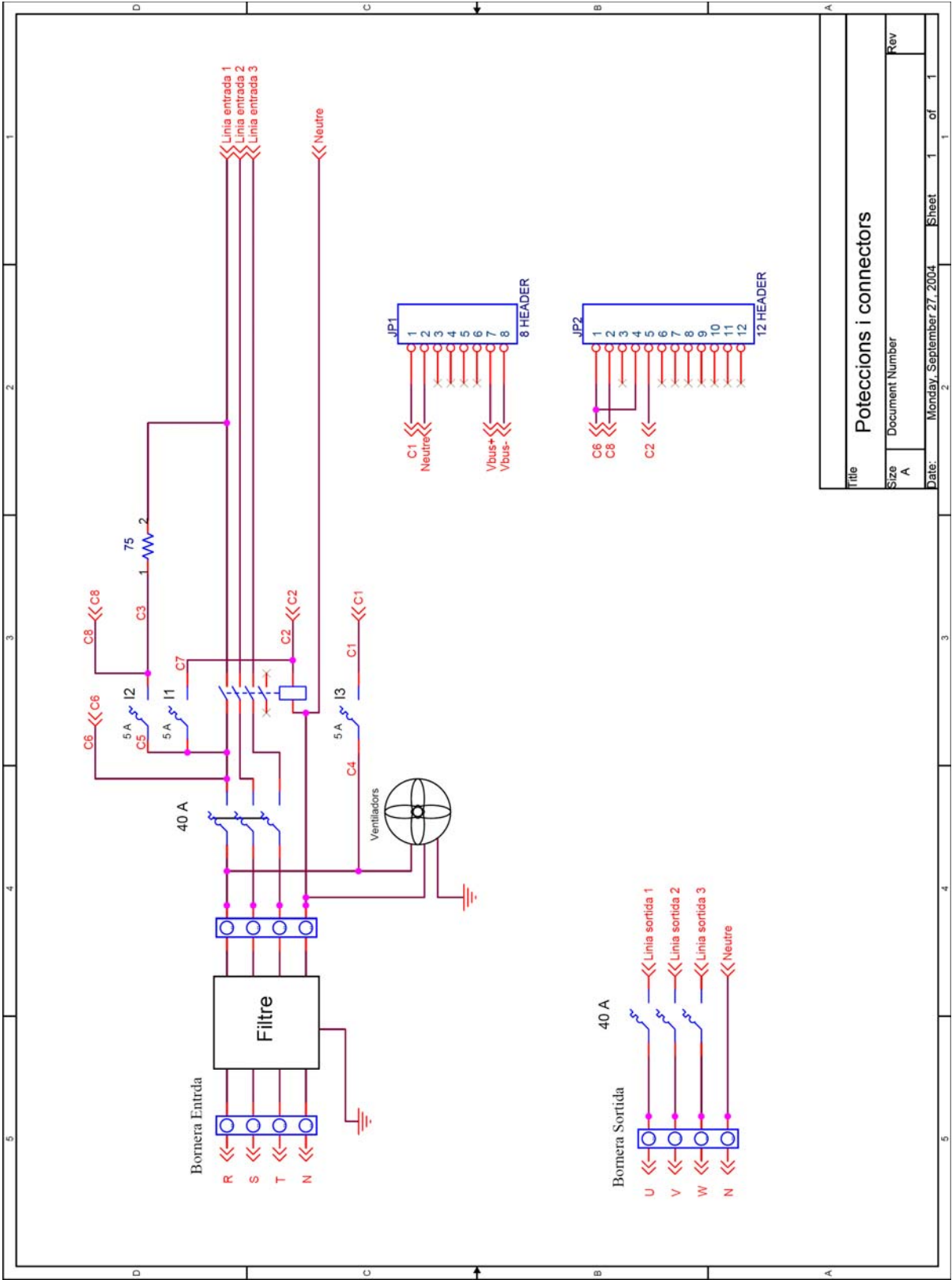
En aquest apartat es presenten tots els esquemes elèctrics de les plaques dels Drivers i la Megadeth així com del Back to Back.



L.1. Back to Back

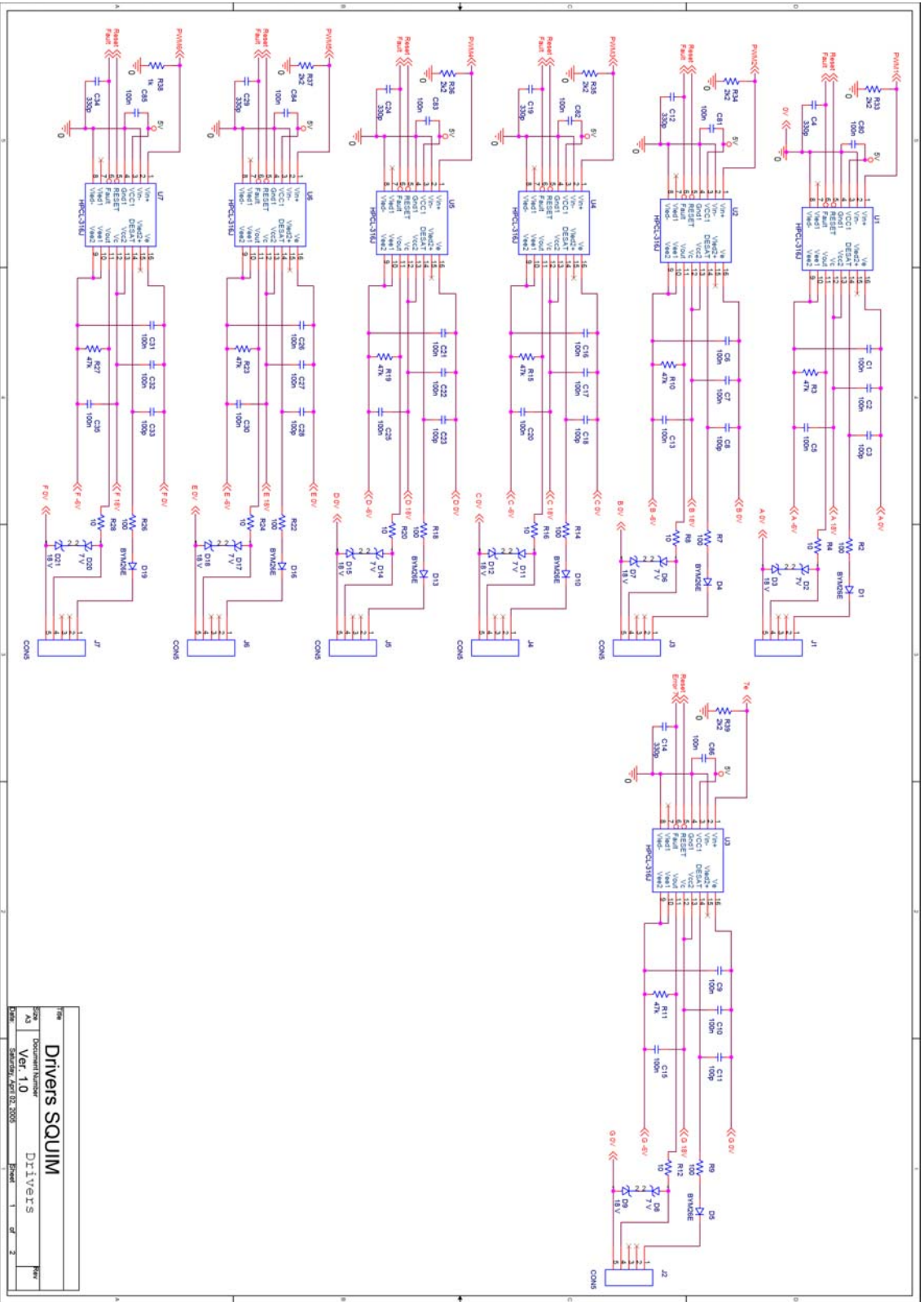


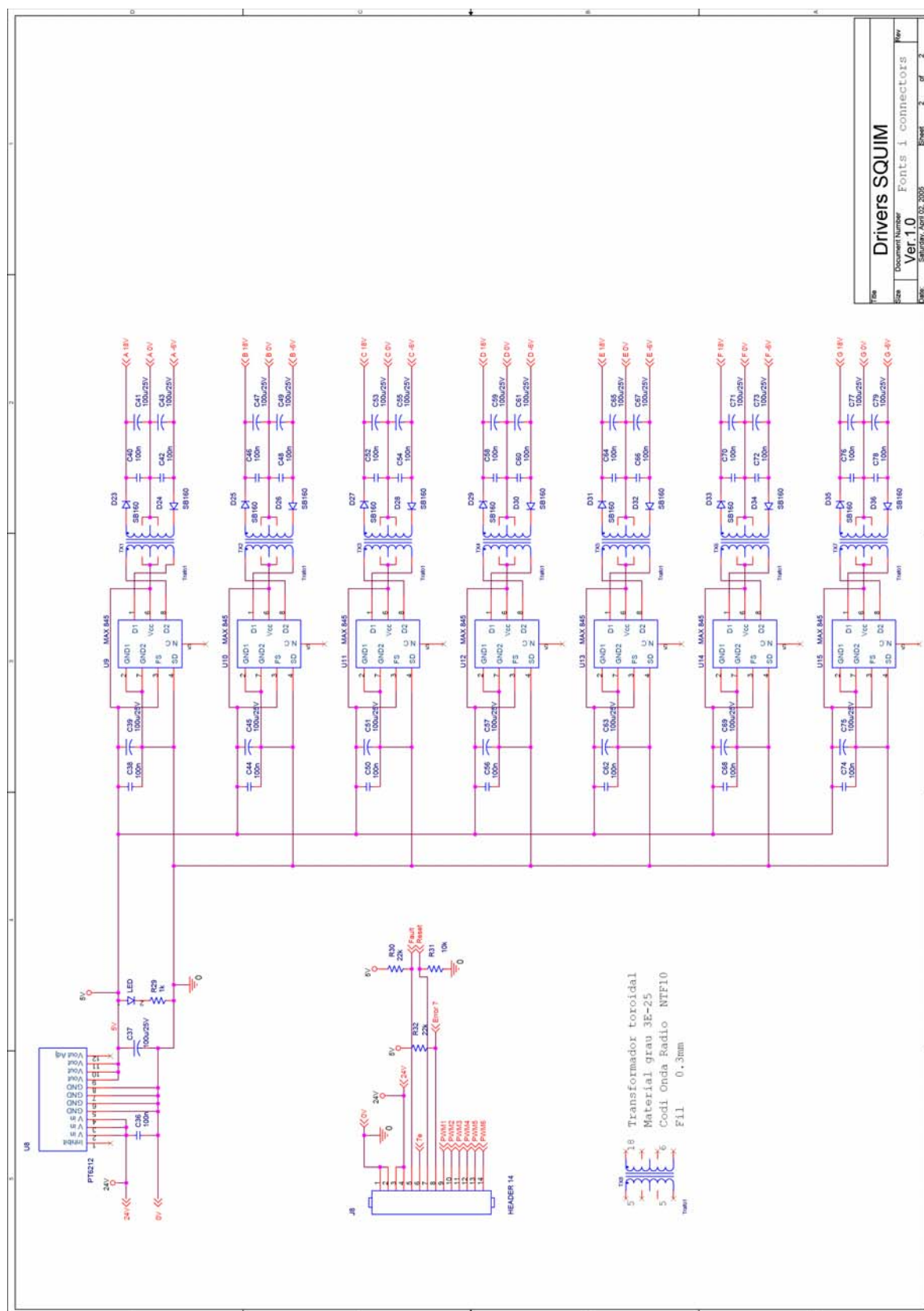




L.2. Drivers

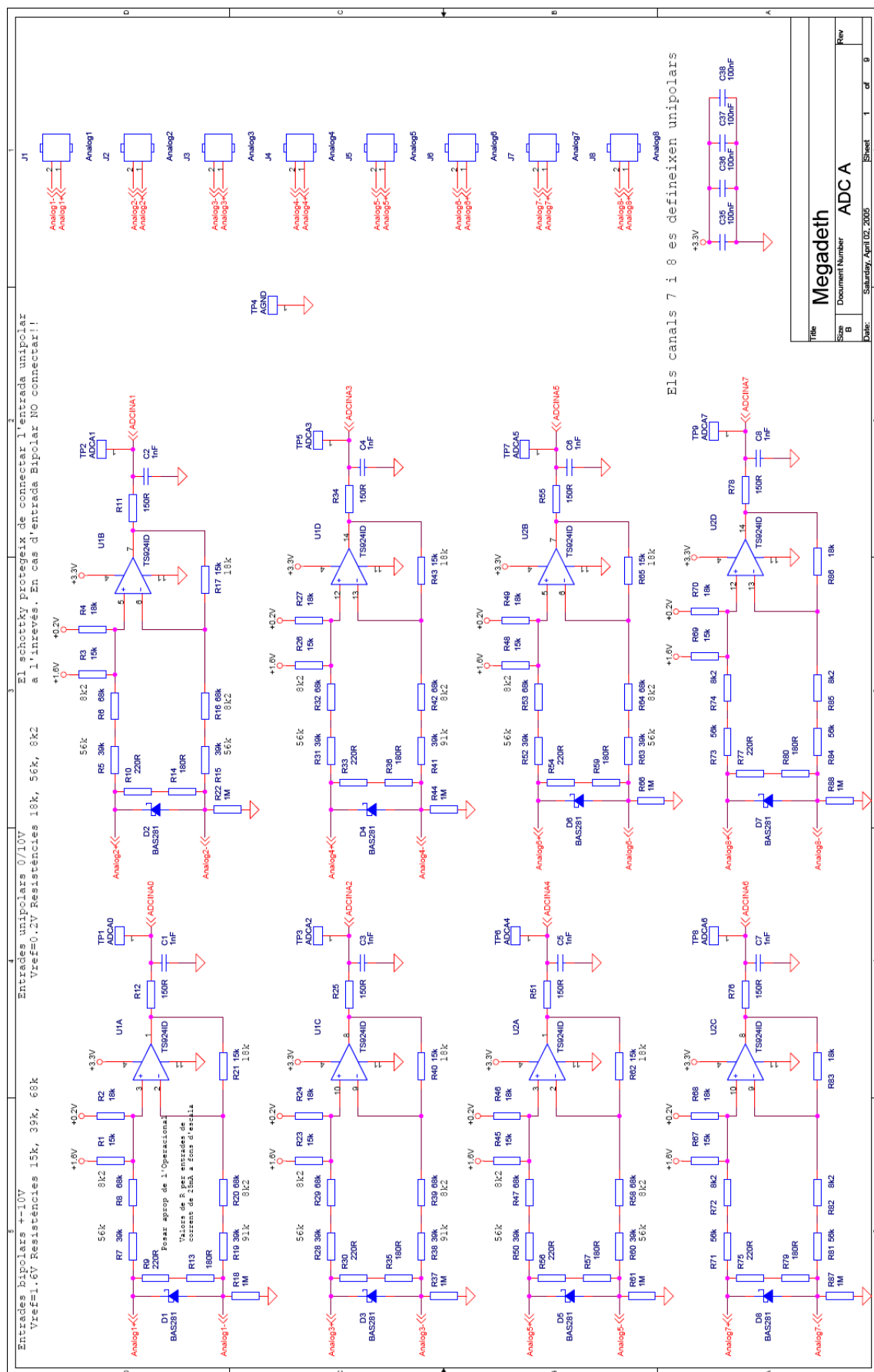


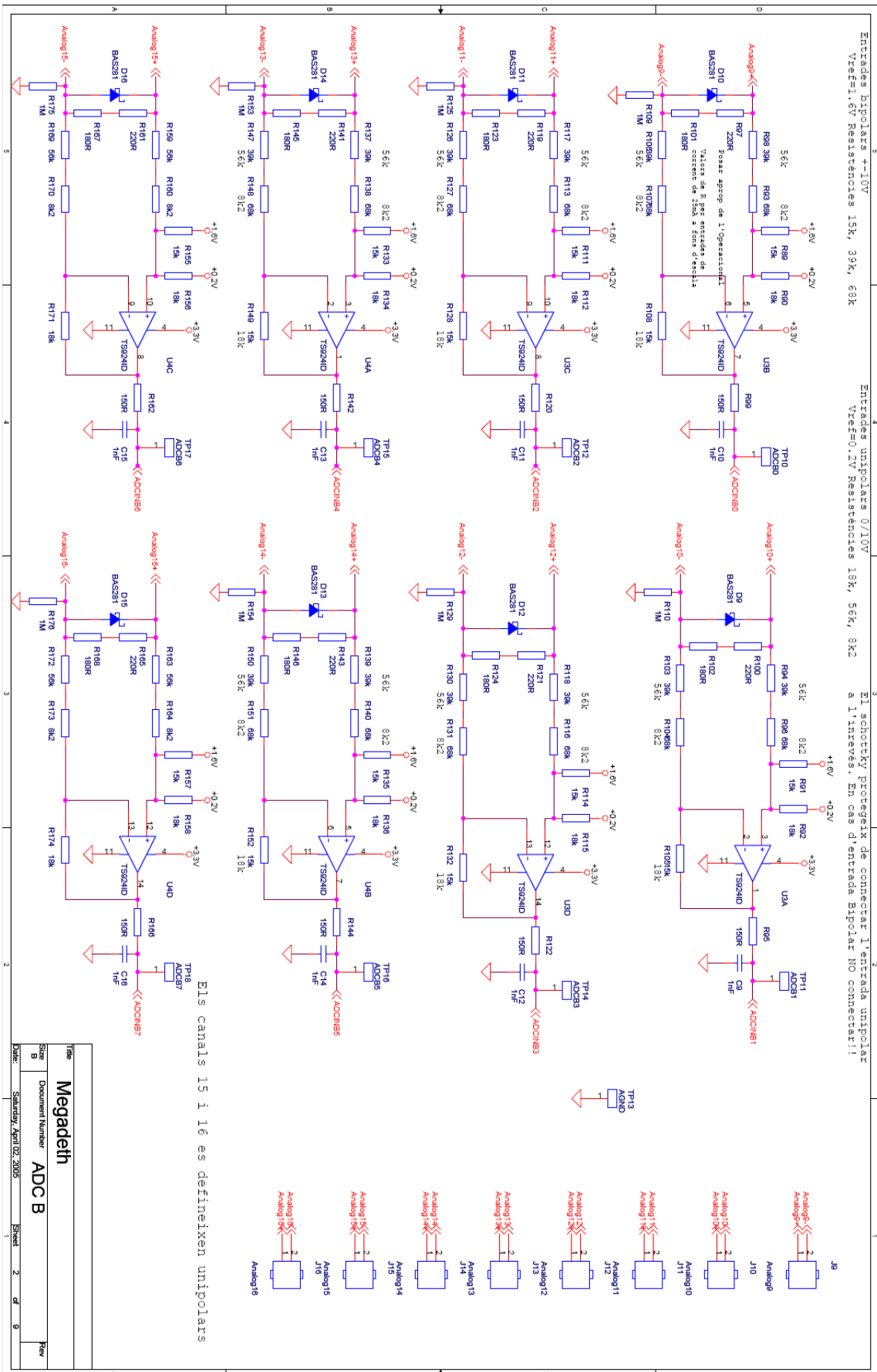


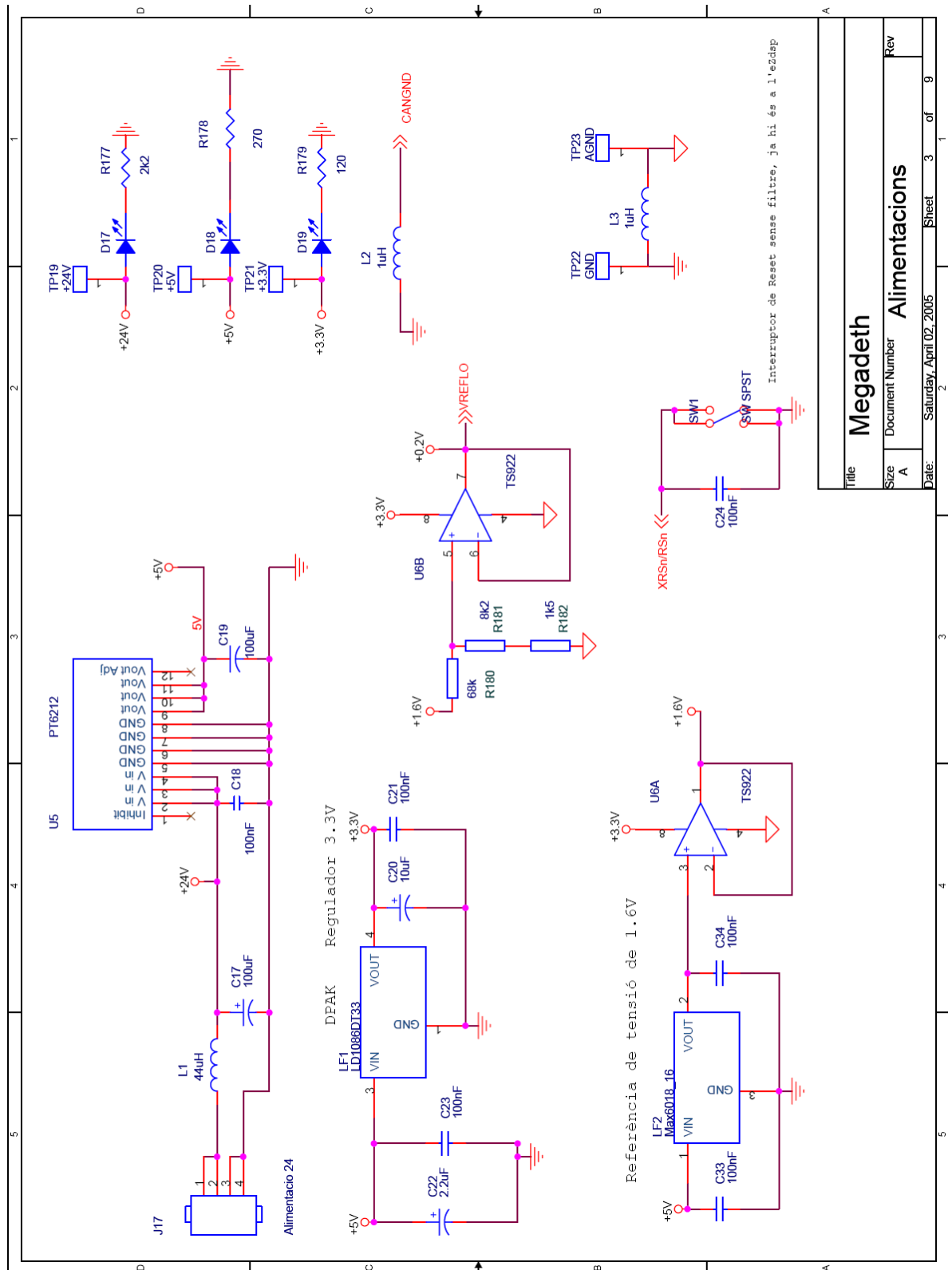


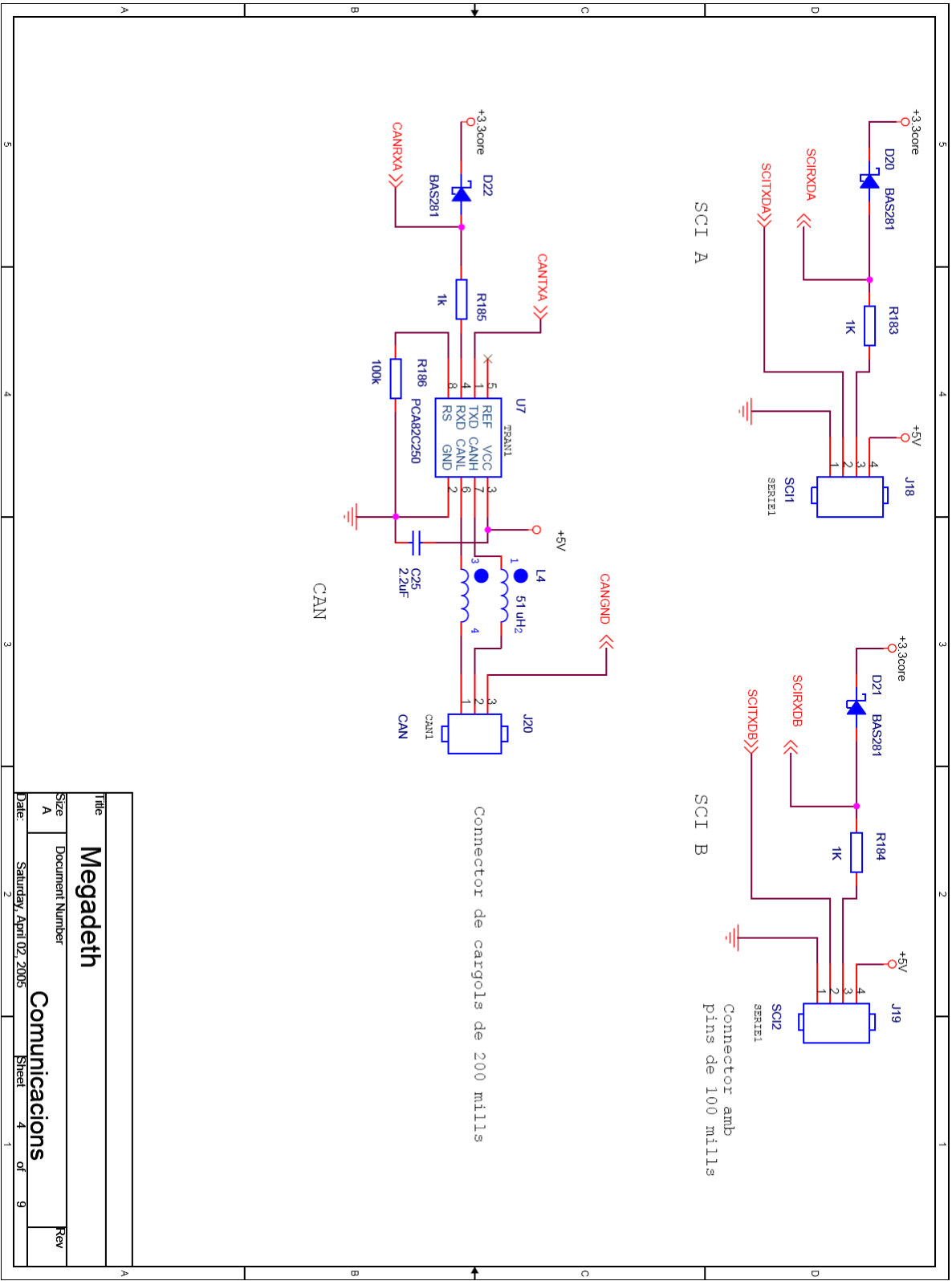
L.3. Megadeath

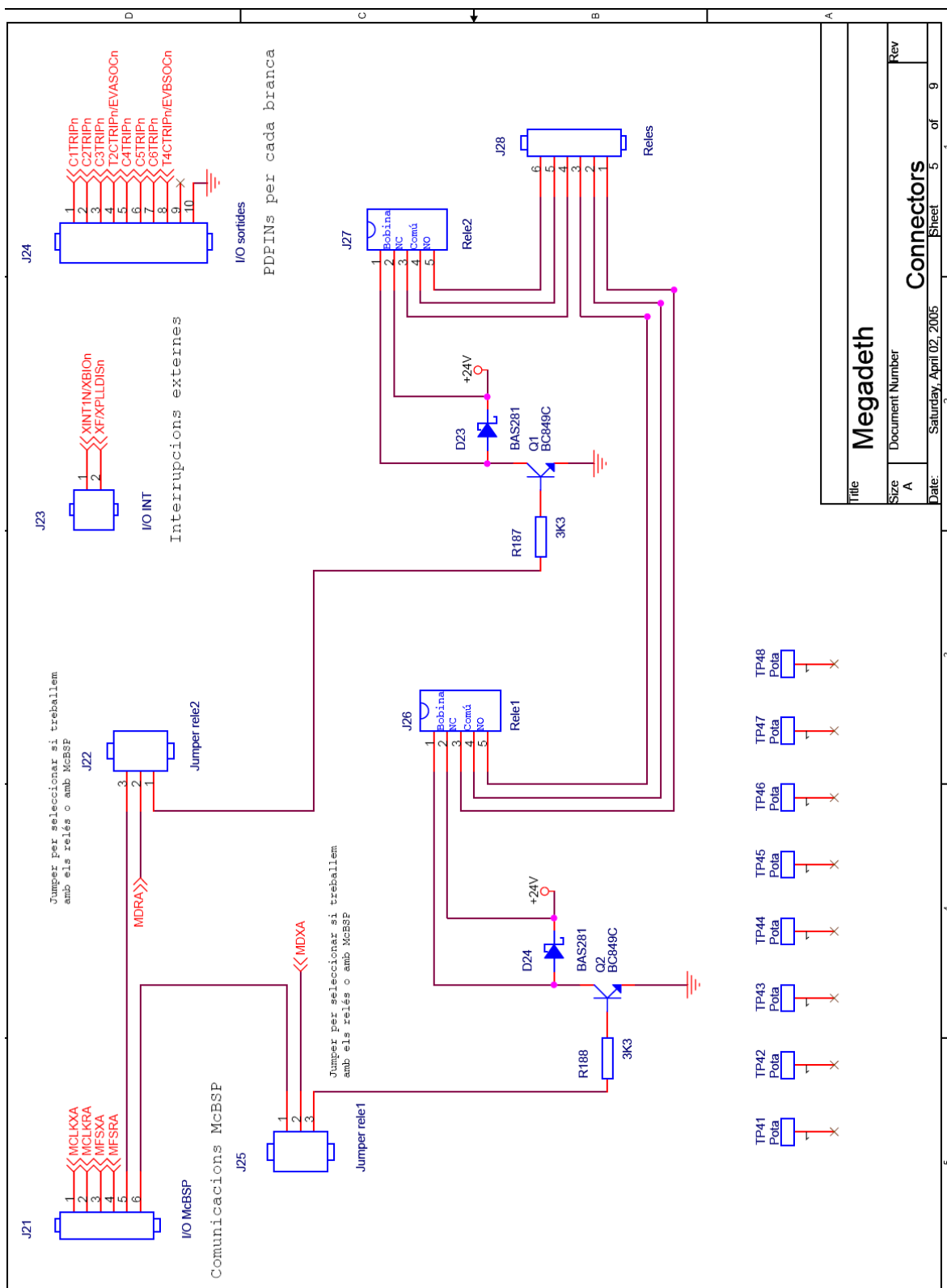


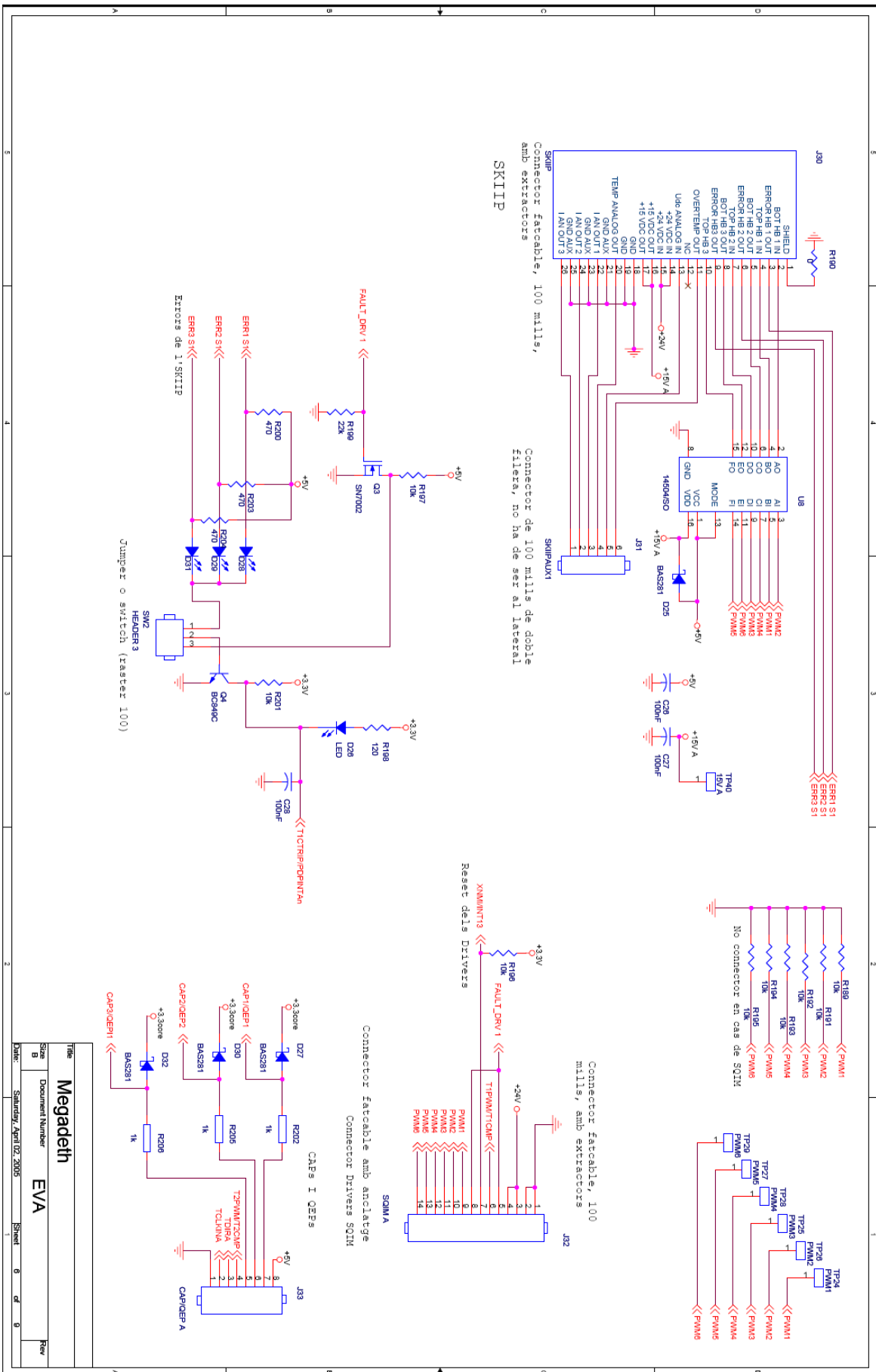


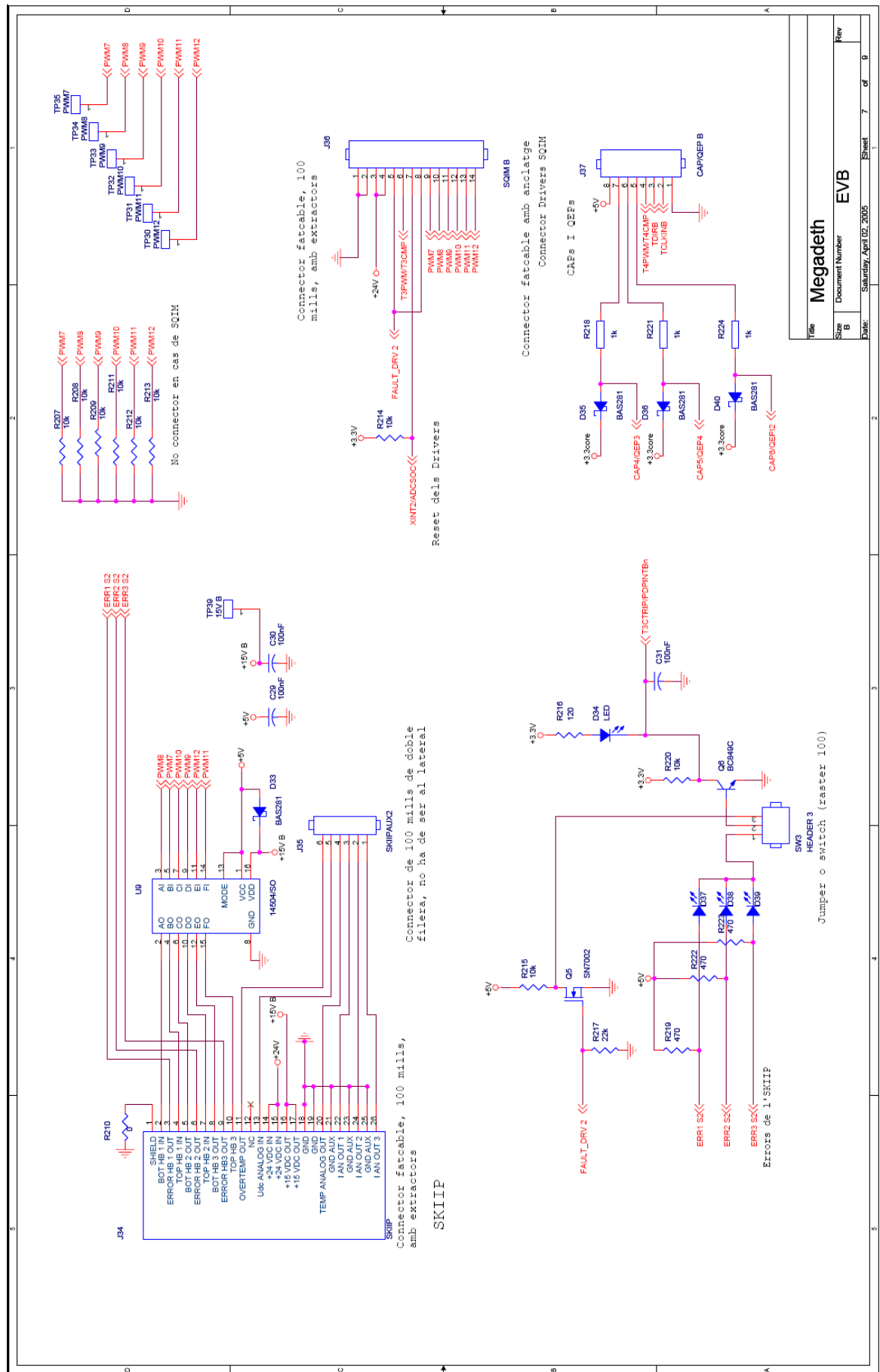


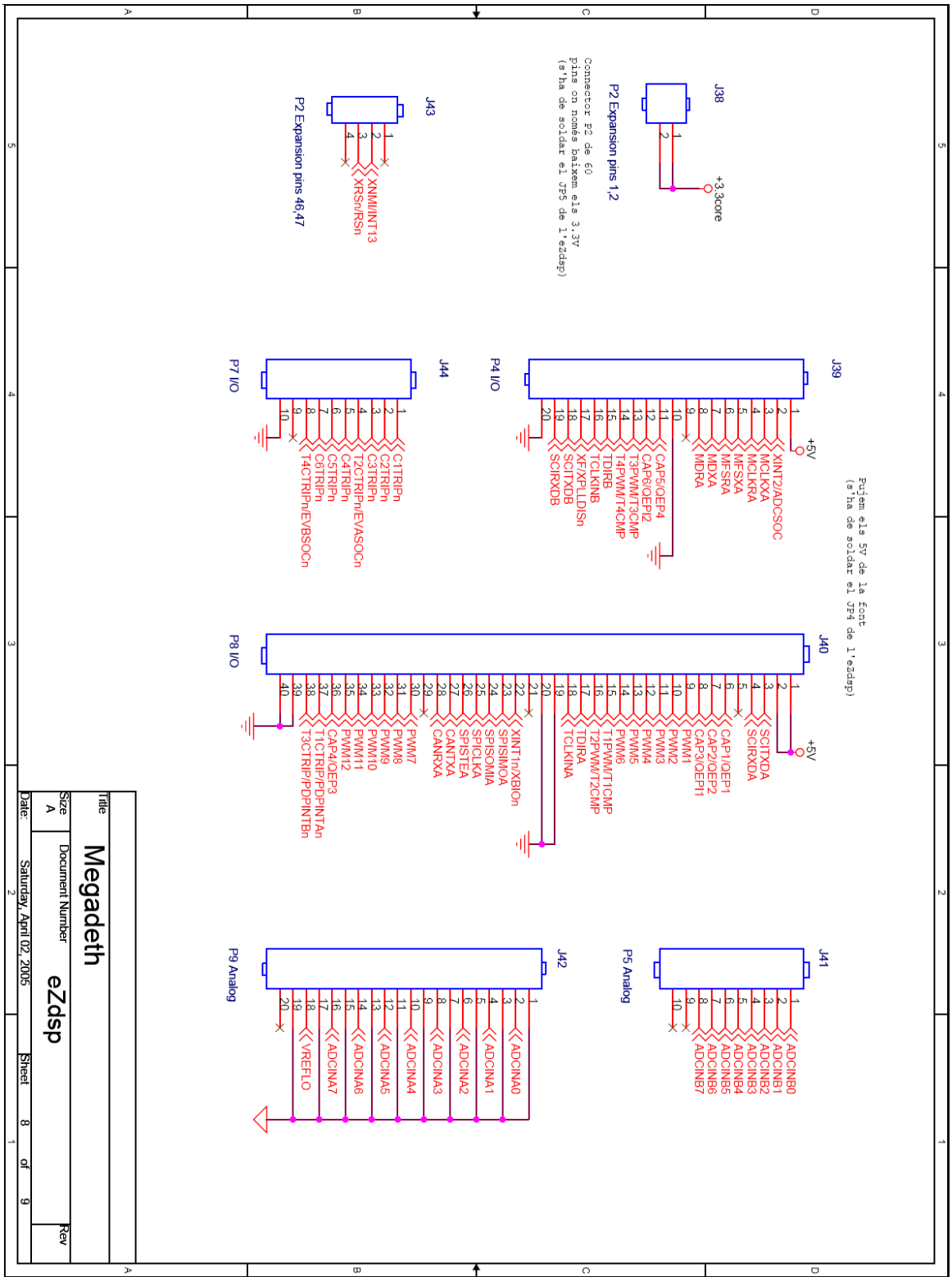






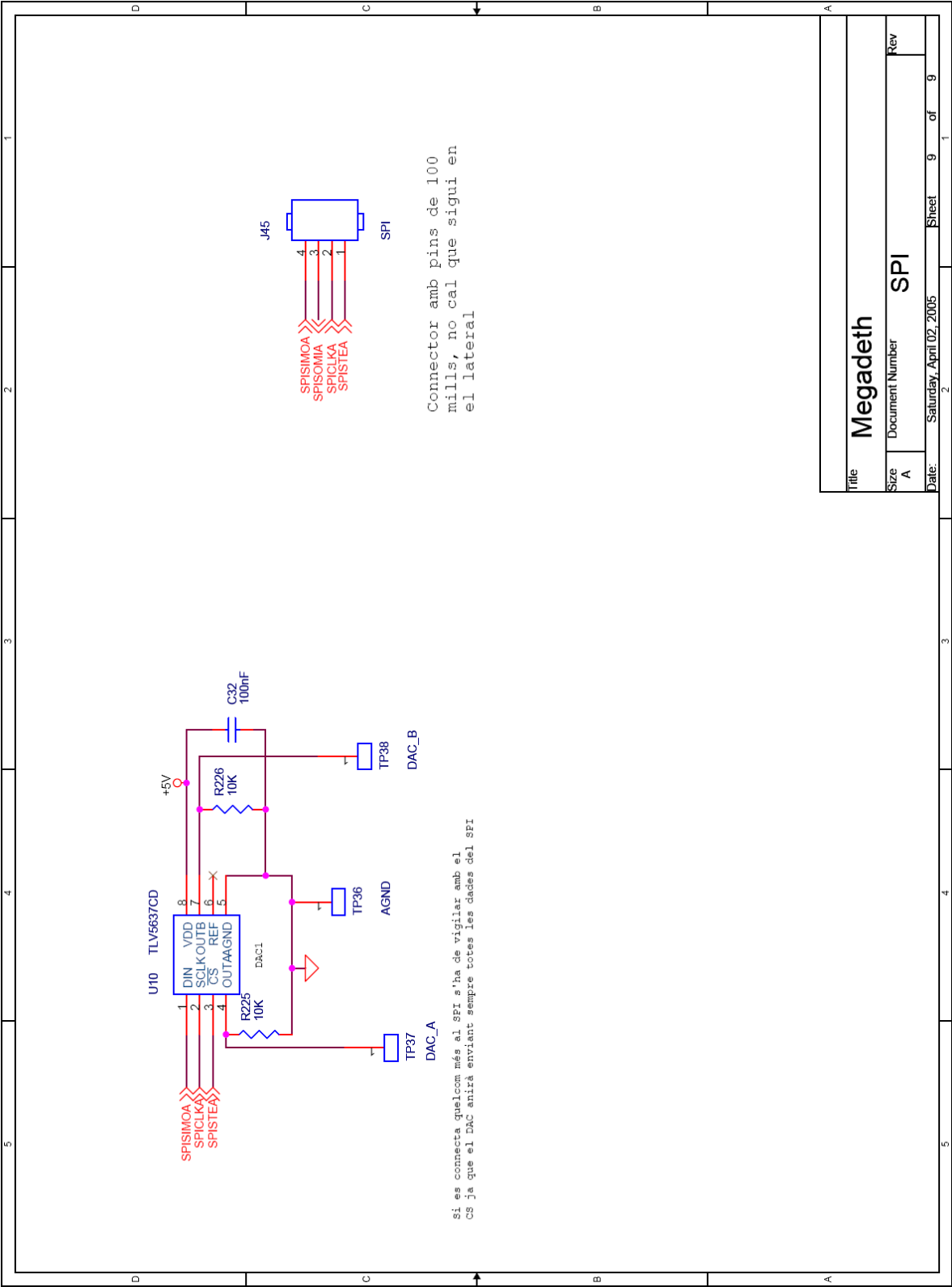






Title	
Megadeth	
Size	Document Number
A	eZdsp
Date	Rev
Saturday, April 02, 2005	
2	
Sheet	8 of 9





M. Documentació digital

En aquest annex s'ha inclòs un CD amb documentació digital utilitzada al llarg del projecte.

El contingut principal d'aquest són els datasheets usats pel disseny de la placa, així com tots els esquemes de les plaques de control incloent-hi els Layouts. També hi ha inclòs els llistats codi de programa implementats.

Finalment s'hi ha disposat d'una còpia d'aquest annex i de la memòria del projecte.

